

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0071644
Application Number

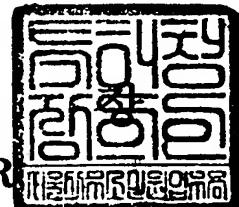
출원년월일 : 2002년 11월 18일
Date of Application NOV 18, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.11.18
【발명의 명칭】	반도체소자 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device and method for fabricating thereof
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김동석
【성명의 영문표기】	KIM,Dong Sauk
【주민등록번호】	600212-1674616
【우편번호】	138-170
【주소】	서울특별시 송파구 송파동 삼성아파트 105-1304
【국적】	KR
【발명자】	
【성명의 국문표기】	이호석
【성명의 영문표기】	LEE,Ho Seok
【주민등록번호】	660801-1018912
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 686번지 LG1차 114-1303
【국적】	KR
【발명자】	
【성명의 국문표기】	박병준
【성명의 영문표기】	PARK,Byung Jun

【주민등록번호】 700815-1696325
 【우편번호】 463-010
 【주소】 경기도 성남시 분당구 정자동 한솔주공4단지 416-801
 【국적】 KR

【발명자】

【성명의 국문표기】 권일영
 【성명의 영문표기】 KWON, II Young
 【주민등록번호】 700708-1025518
 【우편번호】 134-060
 【주소】 서울특별시 강동구 둔촌동 둔촌주공아파트 139-406
 【국적】 KR

【발명자】

【성명의 국문표기】 이종민
 【성명의 영문표기】 LEE, Jong Min
 【주민등록번호】 630514-1090415
 【우편번호】 442-470
 【주소】 경기도 수원시 팔달구 영통동 살구골 동아아파트 717-1004
 【국적】 KR

【발명자】

【성명의 국문표기】 김형수
 【성명의 영문표기】 KIM, Hyeong Soo
 【주민등록번호】 650224-1559719
 【우편번호】 467-850
 【주소】 경기도 이천시 대월면 사동리 현대아파트 108-1301
 【국적】 KR

【발명자】

【성명의 국문표기】 김진웅
 【성명의 영문표기】 KIM, Jin Woong
 【주민등록번호】 640201-1482211
 【우편번호】 134-072
 【주소】 서울특별시 강동구 명일2동 56 현대아파트 16-404
 【국적】 KR

【심사청구】 청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	39	면	39,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	25	항	909,000	원
【합계】			977,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 캐패시터 하부전극 형성시 리닝(Leaning) 및 리프팅(Lifting) 의한 하부전극간의 단락을 방지할 수 있으며, 유효 캐패시터 면적을 넓혀 전하저장용량을 충분히 확보할 수 있는 반도체소자 및 그 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 복수개의 X축 가상선과, 상기 X축 가상선과 실질적으로 수직한 복수개의 Y축 가상선의 교차점에 그 중심부가 위치되어 일정 간격으로 배치된 복수의 플러그; 및 상기 각 플러그와 일대일 대응되어 전기적으로 연결되도록 일정 간격으로 배치된 복수의 캐패시터 하부전극을 포함하며, 임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 상기 하부전극은 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖으며, 평면적으로 원형인 것을 특징으로 하는 반도체소자를 제공한다.

또한, 본 발명은, 복수개의 X축 가상선과, 상기 X축 가상선과 실질적으로 수직한 복수개의 Y축 가상선의 교차점에 그 중심부가 위치되어 일정 간격으로 배치된 복수의 플러그를 형성하는 단계; 및 상기 각 플러그와 일대일 대응되어 전기적으로 연결되도록 일정 간격으로 배치되며, 평면적으로 원형인 복수의 캐패시터 하부전극을 형성하는 단계를 포함하며, 임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 상기 하부전극은 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖도록 하는 것을 특징으로 하는 반도체소자 제조 방법을 제공한다.

【대표도】

도 6

【색인어】

DRAM, 캐패시터, 하부전극, 플러그, 전하저장용량, 중심점, 가상선, 콘택 패드, 계면 장력.

【명세서】**【발명의 명칭】**

반도체소자 및 그 제조 방법{Semiconductor device and method for fabricating thereof}

【도면의 간단한 설명】

도 1a 내지 도 1c는 통상적인 반도체 소자의 하부전극 형성 공정을 도시한 단면도.

도 2는 전술한 도 1c의 하부전극 형성이 완료된 단면을 복수의 하부전극을 포함하도록 도시한 평면도.

도 3은 리닝에 의한 하부전극 간의 단락을 개략적으로 도시한 단면도.

도 4는 개선된 종래기술에 따른 복수의 하부전극을 포함하는 반도체소자를 도시한 평면도.

도 5는 도 4를 Y1" 및 X1 가상선 방향으로 각각 절취한 하부전극 만을 개략적으로 도시한 단면도.

도 6은 본 발명의 제1실시예에 따른 하부전극이 형성된 반도체소자를 개략적으로 도시한 평면도.

도 7은 도 6의 하부전극을 X1 가상선 방향과 Y1" 가상선 방향 및 Z-Z' 방향으로 절취한 단면도.

도 8은 3차원적으로 원통형인 하부전극을 도시한 사시도.

도 9는 본 발명의 제2실시예에 따른 하부전극이 형성된 반도체소자를 개략적으로 도시한 단면도.

도 10 내지 도 12는 본 발명의 제2실시예의 각기 다른 형태에 따른 하부전극이 형성된 반도체소자를 개략적으로 도시한 평면도.

도 13은 본 발명의 마스크 패턴의 예를 도시한 평면도.

도 14a 내지 도 14d는 본 발명의 실시예에 따른 콘택 패드를 사용하는 반도체소자 제조 공정을 도시한 단면도.

도 15는 습식 딥-아웃 공정 후에 따른 하부전극의 리닝 발생을 확인할 수 있는 하부전극의 TEM 사진.

도 16은 개선된 종래기술과 본 발명에 따른 하부전극의 패턴을 비교 도시한 TEM 사진.

도 17은 장축에서의 식각 프로파일이 개선됨(90° 에 가까워짐)에 따른 전하저장용량의 변화를 도시한 그래프.

도 18은 개선된 종래기술과 본 발명에 따른 하부전극의 패턴을 비교도시한 또 다른 SEM 사진.

도 19는 장축과 단축의 비율에 따른 리닝 발생 확률을 도시한 그래프.

도 20은 하부전극의 높이에 따른 하부전극의 리닝이 발생하는 거리의 변화를 도시한 그래프.

* 도면의 주요부분에 대한 부호의 설명 *

60 : 비트라인 61 : 플리그

62 : 캐패시터 하부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 반도체 메모리소자의 캐패시터용 하부전극과 그 형성방법에 관한 것이다.

<23> 반도체소자의 셀 사이즈가 미세화됨에 따라 필요한 전하저장용량을 확보하기 위하여 다양한 방향에서의 기술 개발이 이루어지고 있다. 그 중의 한가지 방법이 캐패시터의 형상을 3차원 구조로 형성하는 것으로, 이러한 3차원 형상의 캐패시터의 대표적인 예로 오목형(Concave) 구조의 캐패시터가 있다.

<24> 도 1a 내지 도 1c는 통상적인 반도체 소자의 하부전극 형성 공정을 도시한 단면도로서, 이를 참조하여 통상의 하부전극 형성 공정을 살펴본다.

<25> 먼저, 도 1a에 도시된 바와 같이, 트랜지스터 등의 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(10) 상에 산화막계열의 제1절연막(11)을 형성한 후, 제1절연막(11)을 관통하여 기판(10)에 콘택된 제1플러그(12)를 형성하는 바, 제1플러그(12)는 기판(10)의 소스/드레인 등의 불순물 확산영역에 전기적으로 도통되도록 연결(콘택)된다.

<26> 여기서, 제1절연막(11)은 보통 TEOS(TetraEthyl Ortho Silicate)막을 이용하고, 제1플러그(12)는 폴리실리콘을 사용하며 도면에 도시되지는 않았지만, 통상 제1플러그

(12) 상부에 오믹 콘택과 하부전극 물질의 기판(10)으로의 확산을 방지하기 위한 목적으로 Ti/TiSi₂/TiN 구조의 배리어막을 포함한다.

<27> 이어서, 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 등의 평탄화 공정을 실시하여 제1플러그(12)와 제1절연막(11) 상부를 평탄화시킨 다음, 결과물 상에 제2절연막(13)을 형성한다.

<28> 이어서, 제1플러그(12)와 오버랩되지 않는 제2절연막(13) 상에 비트라인(14)을 형성한 후, 비트라인(14)을 포함한 전체 프로파일을 따라 질화막 계열의 제1식각정지막(15)을 얇게 증착한다.

<29> 제1식각정지막(15)은 후속 캐패시터의 스토리지노드 콘택 형성을 위한 식각 공정에서 비트라인(14)의 손실을 방지하기 위한 것이며, 특히 산화막 계열의 제3절연막(16)과의 식각선택비를 얻기 위해 질화막 계열 예컨대, 실리콘질화막 또는 실리콘산화질화막을 사용한다.

<30> 제1식각정지막(15) 상에 산화막 계열의 제3절연막(16)을 두텁게 증착한 다음, 전면 식각(Etchback) 또는 CMP 공정을 통해 그 상부를 평탄화시킨다.

<31> 계속해서, 스토리지노드 콘택 형성을 위한 포토레지스트 패턴(17)을 형성한다.

<32> 이어서, 포토레지스트 패턴(17)을 식각마스크로 제3절연막(16)과 제1식각정지막(15) 및 제2절연막(13)을 순차적으로 식각하여 제1플러그(12)를 노출시키는 캐패시터 콘택홀(도시하지 않음)을 형성한다.

<33> 이 때, 제3절연막(16)을 식각하고 제1식각정지막(15)에서 1차 식각멈춤을 하고난 후, 제1식각정지막(15)과 제2절연막(13)을 다시 식각하는 바, 이렇게 식각 공정의 단계 별로 식각 레시피(Recipe)를 변화시킴으로써 원하는 식각 프로파일을 얻을 수 있다.

<34> 이어서, 전면에 폴리실리콘 등의 플러그 물질을 종착하여 캐패시터 콘택홀을 매립하여 제1플러그(12)와 전기적으로 콘택되도록 제2플러그(18)를 형성한 후, CMP 공정을 통해 그 상부를 평탄화시킨다. 여기서, 제2플러그(18)는 캐패시터 콘택 플러그라 할 수 있다.

<35> 이어서, 후속 캐패시터 하부전극 형성을 위한 식각 공정시 제2플러그(18)의 어택을 방지하기 위한 질화막 계열의 제2식각정지막(19)을 형성한 다음, 식각정지막(19) 상에 캐패시터의 수직 높이를 결정하여 그 전극용량에 영향을 미치는 산화막 계열의 캐패시터 형성용 희생절연막(20)을 형성한 다음, 하부전극 형성을 위한 포토레지스트 패턴(21)을 형성한다.

<36> 여기서, 후속 캐패시터 하부전극 형성을 위한 식각 공정시에는 식각 공정의 제어가 비교적 용이하여 제2식각정지막(19)은 생략이 가능하다.

<37> 도 1b는 오목형 캐패시터 하부전극 형성을 위해 희생절연막(20) 식각하기 위한 포토레지스트 패턴(21)이 형성된 단면을 나타낸다.

<38> 포토레지스트 패턴(21)을 식각마스크로 희생절연막(20)을 식각하는 바, 식각정지막(19)에서 식각멈춤을 한 다음, 식각정지막(19)을 제거하여 제2플러그(18) 표면을 노출시키는 오픈부를 형성한다.

<39> 포토레지스트 패턴(21)을 제거한 다음, 희생절연막(20)이 식각되어 오픈된 프로파일 즉, 오픈부가 형성된 전체 프로파일을 따라 캐패시터 하부전극용 전도막을 증착하여 제2플러그(18)와 콘택시킨 다음, 오목한 구조의 전도막 사이를 충분히 매립할 수 있을 정도로 포토레지스트를 도포한 다음, 희생절연막(20) 표면이 노출될 때까지 전면식각 또는 CMP 공정을 통해 전도막을 평坦화 및 격리시킨다.

<40> 이어서, 완충산화막식각제(Buffered Oxide Etchant; 이하 BOE라 함) 또는 불산(HF) 등을 이용한 습식 딥-아웃(Dip-out) 공정을 통해 남아있는 희생절연막(20)을 제거함으로써, 도 1c와 같은 오목한 형상의 하부전극(22) 구조를 형성한다.

<41> 이어서, 잔류하는 포토레지스트를 건식 스트립 공정에 의해 제거하는 바, $O_2/CF_4/H_2O/N_2$ 또는 O_2/N_2 를 이용하여 식각한 다음, 솔벤트(Solvent)를 이용하여 세정함으로써 식각시 발생한 부산물과 잔류하는 포토레지스트를 제거한다.

<42> 이어서, 식각에 의한 하부전극(22)의 저하된 특성을 회복하도록 열처리를 실시하며, 다시 유전체막 형성 전에 BOE 등을 이용하여 얕게 세정 공정을 실시하여 추가로 불순물을 제거한다.

<43> 도면에 도시되지는 않았지만 하부전극(22) 상에 유전체막과 상부전극을 형성함으로써 캐패시터 형성을 위한 일련의 공정이 완료된다.

<44> 도 2는 전술한 도 1c의 하부전극 형성이 완료된 단면을 복수의 하부전극을 포함하도록 도록 도시한 평면도이다.

<45> <종래기술>

<46> 참고로, 도 2는 종래기술에 따른 하부전극의 평면적 배열을 나타낸다.

<47> 도 2를 참조하면, 복수의 하부전극(22)이 일방향으로 배열되어 있고, 비트라인(14) 사이에 복수의 제2플러그(18)가 매트릭스 형태로 배치되어 있으며, 대응하는 각 제2플러그(18)와 오버랩되며, 제2플러그(18)와 콘택트되는 복수의 하부전극(22)이 배치되어 있다.

<48> 한편, 현재까지는 사각형 또는 장축과 단축의 비가 큰 타원 형태의 마스크 패턴(실제 마스크 패턴의 평면 형상이 타원이 아닌 사각형 형태이나 식각 과정에 의해 식각되는 프로파일이 타원형으로 됨)을 이용하여 희생절연막(20)을 식각하고 오목형(또는 실린더형) 하부전극(22) 패턴을 형성하였다. 이 경우 도 1c의 하부전극(22) 형성을 위한 희생절연막(20) 딥-아웃 공정에서 식각 용액인 HF나 BOE의 계면 장력에 의해 하부전극(22)이 리닝(Leaning)되어 이웃하는 하부전극(22)과 전기적으로 단락되는 문제점이 발생하게 된다.

<49> 도 3은 전술한 리닝에 의한 하부전극 간의 단락(23)을 개략적으로 도시한 단면도이며, 이러한 현상은 고집적화될 수록 즉, 하부전극(22) 간의 간격(d)이 좁아지고 이웃하는 면적이 클수록 또한 하부전극(22)의 폭이 작아지고 그 높이가 높아질 수록 더욱 심각하게 나타난다.

<50> <개선된 종래기술>

<51> 실리더형 캐패시터 하부전극을 전술한 바와 같은 종래의 매트릭스 형태로 배열된 것과는 달리 예컨대, 비트라인 경계로 반대편에 위치하여 쌍을 이루는 하부전극과 지그재그 형태로 엇갈리도록 배치하여, 상기 한 쌍의 하부전극 간의 공유면적을 줄임으로써 습식 딥-아웃에 의한 계면 장력으로 하부전극이 단락되는 것을 방지하고자 하는 방법이 강구되었다.

<52> 도 4는 개선된 종래기술에 따른 복수의 하부전극을 포함하는 반도체소자를 도시한 평면도이다.

<53> 도 4를 참조하면, 복수의 비트라인(40)이 X 방향으로 배치되어 있고, X 방향과 실질적으로 동일한 방향인 복수 개의 X축 가상선(여기서는 X1, X2의 두 개 만을 예로 도시함)과, 상기 X축 가상선(X1, X2)과 실질적으로 수직한 복수 개의 Y축 가상선(여기서는 Y1, Y2의 두 개 만을 예로 도시함)이 도면 상에 나타나 있다.

<54> X축 가상선(X1, X2)과 Y축 가상선(Y1, Y2)은 서로 매트릭스 구조(또는 격자 구조)의 다수의 교차점(0)을 이루며, 이러한 교차점에 그 중심부가 위치하는 복수 개의 캐패시터 플러그(41)가 매트릭스 구조로 배치되어 있다.

<55> 구체적으로, 캐패시터 플러그(41)는 기판의 활성영역에 콘택된 제1플러그에 연결되어 있으며, X축 가상선 방향(X축 방향)으로는 이웃하는 캐패시터 플러그(41)와 'd2'의 간격으로 배치되어 있고, Y축 가상선 방향(Y축 방향)으로는 이웃하는 캐패시터 플러그(41)와 비트라인(40)의 폭에 해당하는 'd1'의 간격으로 배치되어 있다.

<56> 캐패시터 플러그(41) 상부에는 각 캐패시터 플러그(41)와 일대일 대응되어 전기적으로 연결되도록 X축 방향으로 인접한 하부전극(42)과 'd3'의 간격으로 배치되어 있다.

<57> 여기서, 임의의 Y축 가상선(예컨대, 캐패시터 플러그(41)의 중심점을 지나는 Y축 가상선(Y1)) 상에는 서로 인접하는 한 쌍의 캐패시터의 하부전극(42a, 42b)이 캐패시터 플러그(41)의 중심점을 지나는 Y축 가상선(Y1) 방향으로 각자의 X축 가상선(X1, X2) 상에서(즉, 각자의 중심을 지나는 X축 가상선의 변화없이) 서로 엇갈리게 배치되어 있다.

<58> 이렇게 하부전극(42)을 서로 엇갈리게 배치함으로 인해 종래기술의 문제점 중의 하나인 하부전극(42) 형성 후 희생절연막(도시하지 않음)을 습식 딥-아웃을 통해 제거할 때 습식 용액에 의한 계면 장력을 어느 정도 출일 수 있어, 이웃하는 하부전극끼리 전기적으로 단락되는 것을 방지할 수 있다.

<59> 그러나, 반도체소자의 고집적화에 따라 플러그와의 접촉면적을 어느 정도 이상 갖게 하기 위한 공정 상의 마진이 감소하는 문제점이 제기된다.

<60> 그 외 전술한 개선된 종래기술의 경우에서도 다음과 같은 문제점이 여전히 존재한다.

<61> 1) 패턴이 무너지는 현상(Pattern collapse).

<62> 하부전극을 지그재그로 배열함으로써, 희생 절연막의 습식 딥-아웃에 따른 리닝을 어느 정도 방지할 수 있으나, 패턴의 고집적화 및 미세화에 따라 서로 이웃하는 하부전극 간의 거리가 좁아짐에 따라 점차 그 한계가 드러난다.

<63> 뿐만아니라, 패턴이 무너지는 현상의 또 다른 원인 중의 하나인 하부전극의 리프팅(Lifting)에 의한 하부전극 간의 전기적 단락 현상은 여전히 발생한다.

<64> 2) 전하저장용량의 감소.

<65> 직사각형 또는 장축과 단축의 비가 큰 타원형의 하부전극 구조 형성을 위한 희생 절연막의 식각시 그 식각 특성이 장축과 단축에 따라 크게 달라지며, 이로 인해 장축에 서의 경사진 식각 프로파일이 발생하여 하부전극 형성 영역이 축소되고, 이로인해 캐패시터의 유효면적이 감소한다.

<66> 또한, 경사진 프로파일로 인해 상부에 비해 그 저면의 임계치수가 감소하여, 전하 저장용량 증가를 위해 실시하는 MPS(Meta-stable Poly Silicon)와 같은 범프(Bump) 형성 시 하부전극 저면에서의 범프간의 단락으로 인해 범프 형성과 유전막 및 상부전극의 형성이 불가능해진다.

<67> 도 5는 도 4를 Y1" 및 X1 가상선 방향으로 각각 절취한 하부전극 만을 개략적으로 도시한 단면도이다.

<68> 도 5의 (a)는 타원형의 장축 방향으로 절취한 하부전극(42)의 단면을 나타내며, 도 5의 (b)는 타원형의 단축 방향으로 절취한 하부전극(42)의 단면을 나타낸다.

<69> 전술한 바와 같이 실린더형 캐패시터의 모양은 사각형이나 타원형이며, 그 장축과 단축의 종횡비(Aspect ratio)가 극단적으로 다른 특징을 가지고 있는 바, 이는 단축에 그 식각의 중심을 두고 실시하는 식각 특성에 의해 기인하는 것이다.

<70> 문제는 식각 특성이 종횡비에 매우 민감하기 때문에 타원형 캐패시터의 장축과 단축의 식각 프로파일이 일치하지 않는다. 따라서, 희생절연막 식각 특성에 의해 대체적으로 단축은 도 5의 (b)의 도면부호 '45'와 같이 수직(Vertical)인 식각 프로파일을 갖고, 장축은 도 5의 (a)의 도면부호 '44'와 같이 경사진(Tapered) 식각 프로파일을 갖는다. 이러한 경사진 프로파일은 수직 프로파일에 비해 캐패시터의 유효 전하저장용량을 떨어뜨리는 원인이 된다. 또한, 전술한 바와 같이 범프 형성이 불가능하여 이 또한 전하저장용량을 떨어뜨리는 원인이 된다.

<71> 한편, 수직 프로파일을 얻기 위해 식각을 과도하게 실시하게 되면, 장축에서는 수직 프로파일을 얻을 수 있을지라도 단축에서는 희생절연막이 과도 식각되어 활이 흔것과

같은 보윙 프로파일(Bowing profile)을 나타내게 된다. 이러한 보윙 프로파일은 전술한
도 3의 하부전극 간 단락을 유발하는 또 다른 원인이 된다.

<72> 아울러, 장축 방향에서의 이러한 경사진 프로파일로 인해 최초의 디자인시 고려했
던 하부전극의 접촉면적에 비해 그 접촉면적이 줄어들므로 인해 딥-아웃이나 다른 후속
공정 진행시 하부전극이 리프팅될 가능성이 증가하며, 좁은 임계치수 때문에 증착되는
하부전극의 두께도 감소하게 되어 하부전극이 부러질 가능성도 증가하게 된다.

<73> 소자의 크기가 작아짐에 따라 일정한 전하저장용량을 확보하기 위해 식각되는 깊이
가 깊어지고, 따라서 점점 종횡비는 커지게 되며, 이로 인해 장축과 단축의 식각 프로파
일의 차이는 점점 더 심해지고 결국은 유효 캐패시터 면적(Effective capacitor area)이
감소하여 전하저장용량을 확보하기가 힘들어지거나, 브릿지(Bridge)에 의한 하부전극
간의 전기적 단락이 발생할 위험성은 매우 증가하게 된다.

<74> 따라서, 소자의 집적도 증가에 상관없이 실린더형 캐패시터의 전하저장용량을 충분
히 확보할 수 있고, 하부전극 간의 단락 문제를 해결할 수 있는 근본적인 해결책이 필요
하다.

【발명이 이루고자 하는 기술적 과제】

<75> 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로서, 캐패시터 하부전
극 형성시 리닝(Leaning) 및 리프팅(Litfing) 의한 하부전극간의 단락을 방지할 수 있으
며, 유효 캐패시터 면적을 넓혀 전하저장용량을 충분히 확보할 수 있는 반도체소자 및
그 제조 방법 제공하는 것을 그 목적으로 한다.

<76> 또한, 본 발명은 하부전극의 엇갈린 배치에 따른 오버랩 마진을 향상시킬 수 있는 반도체소자 및 그 제조 방법을 제공하는 것을 다른 목적으로 한다.

【발명의 구성 및 작용】

<77> 상기 목적을 달성하기 위하여 본 발명은, 복수개의 X축 가상선과, 상기 X축 가상선과 실질적으로 수직한 복수개의 Y축 가상선의 교차점에 그 중심부가 위치되어 일정 간격으로 배치된 복수의 플러그; 및 상기 각 플러그와 일대일 대응되어 전기적으로 연결되도록 일정 간격으로 배치된 복수의 캐패시터 하부전극을 포함하며, 임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 상기 하부전극은 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖으며, 평면적으로 원형인 것을 특징으로 하는 반도체소자를 제공한다.

<78> 또한, 상기 목적을 달성하기 위한 본 발명은, 복수개의 X축 가상선과, 상기 X축 가상선과 실질적으로 수직한 복수개의 Y축 가상선의 교차점에 그 중심부가 위치되어 일정 간격으로 배치된 복수의 플러그를 형성하는 단계; 및 상기 각 플러그와 일대일 대응되어 전기적으로 연결되도록 일정 간격으로 배치되며, 평면적으로 원형인 복수의 캐패시터 하부전극을 형성하는 단계를 포함하며, 임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 상기 하부전극은 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖도록 하는 것을 특징으로 하는 반도체소자 제조 방법을 제공한다.

<79> 본 발명은 실리더형 캐패시터 하부전극을 종래의 매트릭스 형태로 배열된 것과는 달리 예컨대, 비트라인 경계로 반대편에 위치하여 쌍을 이루는 하부전극을 지그재그 형태로 엇갈리도록 배치하여, 상기 한 쌍의 하부전극 간의 공유면적을 줄임으로써 습식 딥-아웃에 의한 계면 장력으로 하부전극이 단락되는 것을 방지하면서도, 엇갈린 하부전극을 종래의 장단축의 비가 큰 타원형에서 실질적인 원형으로 바꿈으로써, 장축과 단축 간의 식각 프로파일 차이에 따른 리닝 현상에 의한 하부전극간의 브릿지를 방지하고 전하저장용량을 늘릴 수 있도록 한다.

<80> 또한, 플러그는 종래와 동일하게 하고 상기 하부전극 쌍을 서로 반대 방향으로 치우치도록 배치하거나, 적어도 하나의 행에 해당하는 플러그 상부에 별도의 패드를 추가함으로써 콘택 저항 또한 감소시킬 수 있다.

<81> 이하, 본 발명이 속하는 기술분야에서 통상의 기술을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

<82> <제1실시예>

<83> 도 6은 본 발명의 제1실시예에 따른 하부전극이 형성된 반도체소자를 개략적으로 도시한 평면도이다.

<84> 도 6을 참조하면, 복수의 비트라인(60)이 X 방향으로 배치되어 있고, X 방향과 실질적으로 동일한 방향인 복수 개의 X축 가상선(여기서는 X1, X2의 두 개 만을 예로 도시

함)과, 상기 X축 가상선(X1, X2)과 실질적으로 수직한 복수 개의 Y축 가상선(여기서는 Y1, Y2의 두 개 만을 예로 도시함)이 도면 상에 도시되어 있다.

<85> X축 가상선(X1, X2)과 Y축 가상선(Y1, Y2)은 서로 매트릭스 구조(또는 격자 구조)의 다수의 교차점(0)을 이루며, 이러한 교차점에 그 중심부가 위치하는 복수 개의 캐패시터 플러그(61)가 매트릭스 구조로 배치되어 있다.

<86> 구체적으로, 캐패시터 플러그(61)는 기판의 활성영역에 콘택된 제1플러그에 연결되어 있으며, X축 가상선 방향(X축 방향)으로는 이웃하는 캐패시터 플러그(61)와 'd2'의 간격으로 배치되어 있고, Y축 가상선 방향(Y축 방향)으로는 이웃하는 캐패시터 플러그(61)와 비트라인(60)의 폭에 해당하는 'd1'의 간격으로 배치되어 있다.

<87> 여기서, 실제 이웃하는 캐패시터 플러그(61) 간의 간격은 전술한 'd1' 및 'd2' 보다 더 작다. 그 이유는 하부의 콘택은 고집적화에 부응하기 위해 최소로 하고 그 상부에서는 그 보다 더 큰 면적을 갖도록 하는 랜딩 플러그 구조를 주로 사용하기 때문이다.

<88> 캐패시터 플러그(61) 상부에는 각 캐패시터 플러그(61)와 일대일 대응되어 전기적으로 연결되도록 X축 방향으로 인접한 하부전극(62)과 'd3'의 간격으로 배치되어 있다.

<89> 여기서, 임의의 Y축 가상선(예컨대, 캐패시터 플러그(61)의 중심점을 지나는 Y축 가상선(Y1)) 상에는 서로 인접하는 한 쌍의 캐패시터의 하부전극(62a, 62b)이 캐패시터 플러그(61)의 중심점을 지나는 Y축 가상선(Y1) 방향으로 대향하는 면적이 최소가 되도록 각자의 X축 가상선(X1, X2) 상에서(즉, 각자의 중심을 지나는 X축 가상선의 변화없이) 그 중심부가 서로 다른 위치를 갖도록 배치되어 있다.

<90> 도면에서는 한 쌍의 캐패시터의 하부전극(62a, 62b) 하부의 플러그의 중심점(0)은 서로 일치하나, 자신들의 중심점(01', 01'')에서 Y축 가상선은 각각 Y1'과 Y1''으로 변화되어 있음을 알 수 있다.

<91> 여기서, 한쌍의 하부전극(62a, 62b)은 각각의 중심점이 임의의 Y축 가상선(Y1)에서 서로 다른 X축 방향의 지점에 배치되어 서로 엇갈린 배치 구조를 가짐을 알 수 있다.

<92> 이렇게 하부전극(62)을 서로 엇갈리게 배치함으로 인해 Y축 방향으로 인접하여 이웃하는 한 쌍의 하부전극(62a, 62b) 간의 대향하는 즉, 마주하는 면적이 최소가 된다. 더불어 하부전극(62)을 원형으로 가져감으로써, 하부전극(62) 형성 후 희생절연막(도시하지 않음)을 습식 딥-아웃을 통해 제거할 때 습식 용액에 의한 계면 장력을 줄일 수 있어, 하부전극(62)이 리프팅되어 전기적으로 단락되는 문제를 해결할 수 있다.

<93> 또한, 하부전극(62)이 자신과 대응하는 플러그(61)와 X축 방향으로 이웃하는 하부전극(62)에 대응하는 플러그(61)와의 사이 즉, 'd2'에 위치하도록 하여, 한 쌍의 하부전극(62a, 62b) 끼리 서로 공유하는 면적이 없도록 할 수 있으며, 이 경우에는 하부전극(62)의 크기를 확대할 수 있어 전하저장용량을 증가시킬 수 있는 부가적인 효과를 거둘 수 있다.

<94> 한편, 이렇듯 희생 절연막의 습식 딥-아웃에 따른 리닝으로 인한 하부전극간의 브릿지를 해결하기 위해 이상에서는 하부전극만을 엇갈리도록 배치하였으나, 오버랩 마진을 확보하면서 브릿지를 해결할 수 있는 보다 효과적인 방안은, 캐패시터 플러그 자체를 전술한 하부전극의 배열과 같이 매트릭스 형태가 아닌 지그재그로 배열하고 하부전극을 그 상부에 일치시키는 방법일 것이다.

<95> 그러나, 이 경우에는 하부의 비트라인과 워드라인 등 종래의 레이아웃을 모두 변경 해야 하는 부담감이 발생하고, 그에 따라 추가 비용이 발생하게 된다. 따라서, 이러한 실제 공정 적용시의 가능성 등을 고려하여 비교적 간단한 방식으로 전술한 바와 같은 효과를 얻도록 하였다.

<96> 종래의 문제점 중의 하나였던 회생 절연막의 장축과 단축간의 식각 프로파일의 차이에 기인한 전하저장용량의 감소 문제와 이를 극복하기 위한 과도 식각 과정에서 단축에 해당하는 회생 절연막의 보 Wong 프로파일의 문제 간의 트레이드 오프 관계를 더불어 해결할 수 있다.

<97> 즉, 다수의 하부전극(62)을 평면적으로 원형으로 배치하였으며, 원형의 경우 장축과 단축이 없으며, 원형의 형상이 타원형인 경우에도 장축과 단축의 비가 1:1 ~ 2:1 정도를 유지한다면, 장축과 단축의 상이한 식각 프로파일로 인한 전하저장용량과 하부전극 간의 단락이라는 두 문제점 간의 트레이드 오프 관계를 극복하고 두가지의 문제점을 동시에 해결할 수 있다.

<98> 한편, 본 발명의 하부전극(62)은 그 장축과 단축의 비가 1:1인 것이 가장 바람직하다.

<99> 도 7은 도 6의 하부전극을 X1 가상선 방향과 Y1" 가상선 방향 및 Z-Z' 방향으로 절취한 단면을 도시한다.

<100> 도 7의 (a)는 도 6를 X1 가상선 방향으로 절취한 것으로서, X1 가상선 방향으로 회생 절연막의 수직한 식각 프로파일을 얻었을 경우, 도 7의 (b)에 도시된 Y1" 가상선 방

향과 도 7의 (c)에 도시된 Z-Z' 방향으로도 동일한 수직 프로파일을 얻을 수 있어, 궁극적으로 하부전극(62)의 수직한 프로파일을 얻을 수 있다.

<101> 따라서, 경사 프로파일에 비해 전하저장용량을 향상시킬 수 있고, 경사 프로파일을 개선하기 위해 실시하는 과도 식각에 따른 희생 절연막의 보왕 현상을 방지할 수 있다.

<102> 또한, 하부전극(62)을 지그재그로 배치하여 비트라인을 사이로 인접한 하부전극 간의 공유 면적을 줄임으로써, 습식 딥-아웃에 의해 잔류하는 희생 절연막을 제거할 때 습식 용액의 계면 장력에 의한 하부전극 간의 브릿지를 방지할 수 있으며, 엇갈린 배치를 통해 하부전극(62)이 차지하는 면적을 보다 증가시켜 이에 따른 전하저장용량의 증가 또한 기대할 수 있다.

<103> 더군다나, 장축과 단축간의 식각 프로파일 차이가 거의 없어짐에 따라, 하부전극(62) 저면에서의 면적과 상부에서의 면적과 실질적으로 동일하며(CMP를 통한 평탄화 공정 후) 그 상부면과 하부면을 연결하는 옆면이 상기 상부면과 상기 하부면에 각각 실질적으로 수직한 원통형을 이루게 된다.

<104> 도 8은 이렇듯 3차원적으로 원통형인 하부전극을 도시한 사시도이다.

<105> 도 8을 참조하면, 상부면(A)과 하부면(B)의 면적이 실질적으로 동일함을 알 수 있으며, 옆면(C)은 상부면(A)과 하부면(B)에 수직함을 알 수 있다.

<106> 따라서, 하부면(B)에서의 하부전극(62)의 임계치수 'CD1'과 상부면(B)에서의 하부전극(62)의 임계치수 'CD2'는 실질적으로 동일하게 된다.

<107> 이로 인해, 하부전극(62)에 MPS를 성장시키더라도 종래와 같이 양측이 서로 단락되어 MPS 성장이 불가능하거나, MPS 성장이 이루어지더라도 유전막 등의 증착이 불가능하

던 문제점을 극복할 수 있으며, 실질적인 원통형의 체적이 증대되는 만큼의 전하저장용량의 증가를 기대할 수 있다.

<108> 더군다나, 하부전극(62)의 두께를 보다 두껍게 형성할 수 있고 하부와의 접촉 면적을 증대시킬 수 있다.

<109> <제2실시예>

<110> 전술한 제1실시예에서는 캐패시터 플러그를 종래와 동일한 레이아웃으로 사용하고 추가의 공정이 없이 하부전극을 형성하였다. 헌편, 이 경우에는 캐패시터 플러그와 하부전극 간의 콘택되는 면적이 줄어들어 오버랩 마진이 감소한다는 문제점이 남게 된다.

<111> 도 9는 본 발명의 제2실시예에 따른 하부전극이 형성된 반도체소자를 개략적으로 도시한 단면도로서, 도 6과 동일한 구성에 대해서는 동일한 도면부호를 사용한다.

<112> 도 9를 참조하면, 복수의 비트라인(60)이 X축 방향으로 배치되어 있고, 비트라인(60) 사이에 복수의 캐패시터 플러그(61)가 매트릭스 구조로 복수개 배치되어 있다. 이는 전술한 도 6과 동일한 구성 요소에 대한 부가적인 설명은 생략한다.

<113> 제2실시예에서는 캐패시터 플러그(61)와 하부전극(62) 사이에 이들을 전기적으로 연결시키기 위한 복수의 콘택 패드(63)를 사용함으로써, 비록 콘택 패드(63) 형성을 위한 별도의 공정 추가가 필요하더라도 비트라인(60)을 경계로 서로 마주하는 한 쌍의 하부전극(62a, 62b)의 대향하는 면적을 최소화 또는 없도록 하면서도 하부전극(62)과 콘택 패드(63) 내지는 캐패시터 플러그(61)와의 콘택 면적을 증가시킬 수 있도록 한다.

<114> 도 9에 도시된 예에서는 특히, X축 가상선(X1)에 그 중심부가 위치한 제1행(Row1)에만 콘택 패드(63)가 추가되어 있고, 추가된 콘택 패드(63)의 X축 중심점은 X1에 위치

하므로 동일하나, Y축 중심선은 Y1에서 Y1'으로 이동(또는 쉬프트)되어 있다. Y2의 Y축 가상선에 자신의 중심점이 위치하는 경우에도 Y2'으로 쉬프트 되어 있다. 또한, 제1행 (Row1)에 해당하는 하부전극(62)들의 중심점은 Y축 가상선이 각각 Y1'과 Y2'으로 그 중심점이 콘택 패드(63)와 일치한다.

<115> 따라서, 제1실시예에서와 같이 하부전극(62)을 서로 엇갈리게 배치함으로 인해 Y축 가상선 방향으로 인접하여 이웃하는 캐패시터 플러그(61) 간의 마주하는 면적을 최소로 하고, 이로 인해 하부전극(62) 형성 후 희생절연막(도시하지 않음)을 습식 딥-아웃을 통해 제거할 때 습식 용액의 하부전극간 계면 장력을 줄일 수 있어, 하부전극(62)이 리프팅되어 전기적으로 단락되는 문제를 해결할 수 있으며, 하부전극(62)을 원형으로 형성함으로써 리닝에 의한 패턴 무너짐 현상을 개선하고 전하저장용량을 향상시킬 수 있는 효과를 기대할 수 있다.

<116> 더불어 콘택 패드(63)를 통해 플러그(61)와 하부전극(62)이 콘택되는 면적을 넓힐 수 있어 콘택 저항이 증가되는 문제점을 극복할 수 있게 된다.

<117> 도 10 내지 도 12는 본 발명의 제2실시예의 각기 다른 형태에 따른 하부전극이 형성된 반도체소자를 개략적으로 도시한 평면도로서, 도 9와 동일한 구성에 대해서는 동일한 도면부호를 사용한다.

<118> 콘택 패드(63)를 사용함에 있어서, 전술한 도 9와 같이 한 행 걸러서 한 행으로(격행간으로) 콘택 패드를 사용하는 방식과 모든 행에 사용하는 방식이 있을 수 있다.

<119> 도 10과 도 11은 모든 행에 콘택 패드를 사용한 형태이고, 도 12는 한 쌍의 행 중 한 행에만 콘택 패드를 사용한 형태이다.

<120> 먼저 도 12를 참조하면, 도 9와는 반대로 X2의 X축 가상선을 그 중심점으로 하는 제2행(Row2)에만 콘택 패드(63)가 추가되어 있으며 콘택 패드(63)의 중심점이 X축 가상선 방향 구체적으로, Y1에서 Y1"의 Y축 가상선 방향으로 치우쳐 있다.

<121> 콘택 패드(63)의 경우 캐패시터 플러그(61)에 비해 공정 마진 측면에서 보다 여유로울 수 있는 장점이 있으므로, 그 사이즈를 충분히 크게 가져갈 수 있을 것이다.

<122> 도 10을 참조하면, 제1행(Row1)과 제2행(Row2) 모두에 콘택 패드(63)가 배치되어 있으며, 콘택 패드(63)가 플러그(61) 보다 큰 형태임을 알 수 있다.

<123> 여기서 하부전극(62)과 콘택 패드(63) 및 플러그(61)와의 접촉 면적이 증대되어 있어, 오버랩 마진과 더불어 콘택 저항 또한 감소함을 알 수 있다.

<124> 도 11을 참조하면, 제1행(Row1)과 제2행(Row2) 모두에 콘택 패드(63)가 배치되어 있으며, 마치 도 6에서의 하부전극(62)과 같이 콘택 패드(63)가 지그재그 형태로 엇갈려서 배치되어 있음을 확인할 수 있다.

<125> 이러한 도 10과 도 11에서도 역시 비트라인(60)을 경계로 대향하는 한 쌍의 하부전극(62a, 62b)의 Y축 방향으로 대향하는 면적이 최소화됨을 알 수 있다.

<126> 전술한 제1실시예와 제2실시예에를 통해 회생 절연막의 습식 딥-아웃에 따른 문제점을 극복할 수 있었음을 설명하였다.

<127> 이하에서는, 전술한 본원발명의 제1 및 제2실시예에 따른 반도체소자에 대한 제조공정을 첨부한 도면을 참조하여 설명한다.

<128> 도 13은 본 발명의 마스크 패턴의 예를 도시한 평면도이다.

<129> 도 6과 같은 제1실시예의 경우 임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 하부전극이 형성된 오픈부가 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되거나 없도록 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖도록 하는 구조를 갖는 마스크 패턴을 이용하면 되므로 그 제조 공정에 대한 설명은 생략하며, 이러한 마스크 패턴의 형상은 도 13에 도시되어 있다.

<130> 도 13에서는 도 6의 하부전극 구조 형성을 위한 하부전극 마스크 패턴을 도시한다.

<131> 도 13을 참조하면, 한 쌍의 하부전극이 형성될 오픈부(즉, 희생 절연막이 식각될 영역)(130)의 Y축 가상선의 중심점이 하부의 캐패시터의 플러그의 중심점에 해당하는 Y축 가상선의 Y1에서 각각 Y1'과 Y1"으로 쇠프트되어 오픈부(130)끼리 서로 대향하는 면적이 거의 존재하지 않음을 알 수 있다. 여기서, 도면부호 '131'은 오픈되지 않는 영역 즉, 희생 절연막이 잔류하는 영역을 나타낸다.

<132> 한편, 도 13에서는 콘택 마스크의 오픈되는 영역이 사각형의 형상으로 도시되어 있음을 알 수 있으나, 실시예1과 실시예2에서는 하부전극이 실질적인 원형을 갖는 것으로 나타나 있다. 이는 실제 공정 적용시 마스크 패턴 자체는 사각 형상을 가지나, 식각 공정의 특성상 그 모서리에서 사각형의 테두리가 아닌 원형으로 나타남으로 인해 발생하는 현상이다.

<133> 따라서, 타원이 아닌 원형의 하부전극을 얻기 위해서는 직사각형 보다는 정사각형 형태의 오픈부를 갖는 마스크 패턴을 사용한다.

<134> 도 14a 내지 도 14d는 본 발명의 실시예에 따른 콘택 패드를 사용하는 반도체소자 제조 공정을 도시한 단면도로서, 이를 참조하여 본 발명의 하부전극 형성 공정을 살펴본다.

<135> 먼저, 도 14a에 도시된 바와 같이, 트랜지스터 등의 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(140) 상에 산화막계열의 제1절연막(141)을 형성한 후, 제1절연막(141)을 관통하여 기판(140)에 콘택된 제1플러그(142)를 형성하는 바, 제1플러그(142)는 기판(140)의 소스/드레인 등의 불순물 확산영역에 전기적으로 도통되도록 연결(콘택)된다.

<136> 여기서, 제1절연막(141)은 보통 TEOS막을 이용하고, 제1플러그(142)는 폴리실리콘을 사용하며 도면에 도시되지는 않았지만, 통상 제1플러그(142) 상부에 오믹 콘택과 하부전극 물질의 기판(140)으로의 확산을 방지하기 위한 목적으로 Ti/TiSi₂/TiN 또는 Ti/TiN 구조 등의 배리어막을 포함한다.

<137> 이어서, CMP 등의 평탄화 공정을 실시하여 제1플러그(142)와 제1절연막(141) 상부를 평탄화시킨 다음, 결과물 상에 제2절연막(143)을 형성한다.

<138> 이어서, 제1플러그(142)와 오버랩되지 않는 제2절연막(143) 상에 비트라인(144)을 형성한 후, 비트라인(144)을 포함한 전체 프로파일을 따라 질화막 계열의 제1식각정지막(145)을 얇게 증착한다.

<139> 제1식각정지막(145)은 후속 캐패시터의 하부전극 콘택 형성을 위한 식각 공정에서 비트라인(144)의 손실을 방지하기 위한 것이며, 특히 산화막 계열의 제3절연막(146)과의

식각선택비를 얻기 위해 질화막 계열의 막 예컨대, 실리콘질화막 또는 실리콘산화질화막을 사용한다.

<140> 제1식각정지막(145) 상에 산화막 계열의 제3절연막(146)을 두텁게 증착한 다음, 전면식각 또는 CMP 공정을 통해 그 상부를 평탄화시킨다.

<141> 계속해서, 제3절연막(146) 상에 캐패시터 플러그 형성을 위한 포토레지스트 패턴(147)을 형성한다.

<142> 이어서, 포토레지스트 패턴(147)을 식각마스크로 제3절연막(146)과 제1식각정지막(145) 및 제2절연막(143)을 순차적으로 식각하여 제1플러그(142)를 노출시키는 콘택홀(도시하지 않음)을 형성한다.

<143> 이 때, 제3절연막(146)을 식각하고 제1식각정지막(145)에서 1차 식각멈춤을 하고난 후, 제1식각정지막(145)과 제2절연막(143)을 다시 식각하여 수직 구조의 식각 프로파일을 얻을 수 있다.

<144> 이어서, 전면에 폴리실리콘 등의 전도성 물질을 증착하여 콘택홀을 매립하여 제1플러그(162)와 전기적으로 콘택되도록 제2플러그(148)를 형성한 후, CMP 공정을 통해 그 상부를 평탄화시킨다. 여기서, 제2플러그(148)는 캐패시터의 하부전극과 제1플러그(142)를 전기적으로 연결(콘택) 시켜주므로 캐패시터 플러그라 할 수 있다.

<145> 이어서, 후속 콘택 패드 형성을 위한 식각 공정시 제2플러그(148)의 어택을 방지하기 위한 질화막 계열의 제2식각정지막(149)을 형성한다. 한편, 여기서, 후속 캐패시터 하부전극 형성을 위한 식각 공정시에는 식각 공정의 제어가 비교적 용이하므로 제2식각정지막(149)의 형성 공정은 생략이 가능하다.

<146> 이어서, 식각정지막(149) 상에 산화막 계열의 제4절연막(150)을 증착한다. 이 때, 제4절연막(150)의 상부가 평탄화되도록 평탄성이 우수한 산화막을 사용하거나 증착 후 별도의 평탄화 공정을 실시한다.

<147> 이어서, 제4절연막(150) 상에 콘택 패드 형성을 위한 마스크 패턴(151)을 형성한다

<148> 이 때, 마스크 패턴(151)은, 전술한 제1 및 제2실시예에서 제시한 바와 같이, 임의의 Y축 가상선 상에서 서로 인접하며 캐패시터 하부전극의 형성될 한 쌍의 희생 절연막의 오픈부가 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖도록 하는 구조가 되도록 하거나, 상기 임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 오픈부가 임의의 Y축 가상선 방향으로 대향하는 면적이 없도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖도록 하는 구조로 형성한다.

<149> 또한, 마스크 패턴(151)은, 한 쌍의 오픈부 중 적어도 하나는 그 중심점이 상기 임의의 Y축 가상선에서 어긋나도록 배치하거나, 한 쌍의 오픈부의 각 중심점이 상기 임의의 Y축 가상선에서 서로 다른 X축 방향의 지점에 위치하도록 배치하는 구조로 형성한다.

<150> 여기서는 단면에 대한 공정 순서만을 도시하므로 이러한 평면적인 구조는 도시되지 않으며, 다만 콘택 패드의 사이즈가 캐패시터 플러그(148)보다 크게 한 것을 그 예로 하여 설명한다.

<151> 이어서, 마스크 패턴(151)을 식각마스크로 제4절연막(150)과 식각정지막(149)을 식각하여 오픈부(도시하지 않음)을 형성한 다음, 플러그(148)와 하부전극을 전기적으로 연

결하기 위한 콘택 패드 형성용 물질을 증착한 다음 CMP를 통해 평탄화된 콘택 패드(152)를 형성한다. 이어서, 후속 하부전극 형성을 위한 희생 절연막 식각 공정에 의한 콘택 패드(152)의 손실을 방지하기 위해 콘택 패드(152) 상에 질화막 계열의 제3식각정지막(153)을 형성한다.

<152> 도 16c는 평탄화된 콘택 패드(152) 상에 제3식각정지막(153)이 형성된 단면을 도시 한다.

<153> 여기서, 콘택 패드(152)는 그 평면 형상이 원형, 타원형 또는 사각형, 삼각형 등의 다각형 등 다양한 형태로 형성하는 것이 가능하다.

<154> 또한, 전술한 공정에서와 같이 제4절연막(150)을 형성하고 이를 패터닝한 다음, 콘택 패드(152) 형성용 물질을 증착하고 평탄화하는 공정 이외에, 제2플러그(148) 상에 직접 콘택 패드(152)용 물질을 증착하고 이를 패터닝하여 콘택 패드(152)를 형성하는 공정도 가능하다.

<155> 제3식각정지막(153) 상에 캐패시터의 수직 높이를 결정하여 그 전하용량에 영향을 미치는 산화막 계열의 캐패시터 형성용 희생절연막(도시하지 않음)을 형성한 다음, 하부 전극 형성을 위한 마스크 패턴(도시하지 않음)을 형성한다.

<156> 이 때, 하부전극의 중심점이 플러그(148)과 어긋나며, 하부전극과 콘택 패드(152)의 접촉되는 면적이 최대가 되도록 포토레지스트 패턴을 적절히 조절하는 것이 중요하다

<157> 마스크 패턴을 식각마스크로 희생절연막을 식각하는 바, 제3식각정지막(153)에서 식각멈춤을 한 다음, 제3식각정지막(153)을 제거하여 콘택 패드(152) 표면을 노출시키는 오픈부를 형성한다.

<158> 마스크 패턴을 제거한 다음, 희생절연막이 식각되어 오픈된 프로파일 즉, 오픈부가 형성된 전체 프로파일을 따라 캐패시터 하부전극용 전도막을 증착하여 콘택 패드(152)와 콘택시킨 다음, 오목한 구조의 전도막 사이를 충분히 매립할 수 있을 정도로 포토레지스트를 도포한 다음, 희생절연막 표면이 노출될 때까지 전면식각 또는 CMP 공정을 통해 전도막을 평탄화 및 격리시킨다.

<159> 이어서, BOE, 불산(HF) 또는 황산(H₂SO₄)과 과수(H₂O₂)가 4:1의 비율로 혼합된 용액 등을 이용한 습식 딥-아웃 공정을 통해 남아있는 희생절연막을 제거함으로써, 도 16d와 같은 오목한 형상의 하부전극(154) 구조를 형성한다.

<160> 한편, 전술한 마스크 패턴의 구조에 의해 비트라인을 사이에 두고 인접한 하부전극 간의 대향하는 면적이 줄어 들어 습식 딥-아웃 공정에서 습식 용액에 의한 계면 장력이 줄어 듈다. 따라서, 하부전극의 리프팅에 의한 하부전극 간의 전기적 단락 현상을 방지 할 수 있다.

<161> 또한, 하부전극의 평면 형상이 원형이 되도록 함으로써, 장축과 단축간의 식각 특성 차이로 인한 전하저장용량의 감소를 최소화할 수 있으며, 장축과 단축의 식각 특성 차이로 인한 장축 방향에서의 경사진 프로파일로 인한 과도 식각에 의해 발생할 수 있는 하부전극의 리닝 현상을 방지할 수 있다.

<162> 이어서, 잔류하는 포토레지스트를 건식 스트립 공정에 의해 제거하는 바, $O_2/CF_4/H_2O/N_2$ 또는 O_2/N_2 를 이용하여 식각한 다음, 솔벤트(Solvent)를 이용하여 세정함으로써 식각시 발생한 부산물과 잔류하는 포토레지스트를 제거한다.

<163> 이어서, 식각에 의한 하부전극(154)의 저하된 특성을 회복하도록 열처리를 실시할 수도 있으며, 이 때에는 다시 유전체막 형성 전에 BOE 등을 이용하여 얕게 세정 공정을 실시하여 추가로 불순물을 제거하는 공정이 수반된다.

<164> 한편, MPS 공정을 적용한 하부전극(154)을 형성하는 경우 폴리실리콘을 증착한 다음, MPS 성장을 위한 적절한 온도와 압력 조건을 통해 하부전극(154)의 안쪽면에(Inner cylinder type)만 MPS를 성장시킨 후 CMP 공정을 실시한다.

<165> 도면에 도시되지는 않았지만 하부전극(154) 상에 유전체막과 상부전극을 형성함으로써 캐패시터 형성을 위한 일련의 공정이 완료된다.

<166> 도 15는 습식 딥-아웃 공정 후에 따른 하부전극의 리닝 발생을 확인할 수 있는 하부전극의 TEM(Transmission Electron Microscope) 사진이다.

<167> 도 15의 (a)를 참조하면, 전술한 종래기술(타원형의 매트릭스 배열된 하부전극)에 따른 하부전극(170a)의 패턴 무너짐 현상(X)이 발생함을 인지할 수 있다.

<168> 도 15의 (b)를 참조하면, 전술한 개선된 종래기술(타원형의 엇갈리게 배열된 하부전극)의 경우 도 15의 (a)에 비해 레이아웃 즉, 하부전극의 배치에 따른 리닝 현상은 감소함을 확인할 수 있다. 그러나, 이 경우에도 고집적화에 따른 공정 상의 한계와 장축과 단축간의 식각 프로파일 특성 차이에 기인한 보윙 프로파일로 인한 리닝 현상 등으로 인해 패턴 무너짐 현상(Y)이 여전히 발생함을 인지할 수 있다.

<169> 한편, 도 15의 (c)를 참조하면, 본 발명(원형의 엇갈리게 배열된 하부전극)의 경우 패턴 무너짐 현상이 전혀 발생하지 않음을 확인할 수 있다.

<170> 도 16은 개선된 종래기술과 본 발명에 따른 하부전극의 패턴을 비교도시한 TEM 사진이다.

<171> 도 16의 (a)를 참조하면, 전술한 개선된 종래기술(타원형의 엇갈리게 배열된 하부전극)의 경우 도면부호 '160'과 같이 하부전극 패턴의 보윙 현상이 발생하고, 저면에서의 임계치수(161)가 그 상부에 비해 매우 좁아졌음을 알 수 있다.

<172> 반면, 도 16의 (b)를 참조하면, 본 발명(원형의 엇갈리게 배열된 하부전극)의 경우 하부전극의 보윙 현상이 발생하지 않고, 저면에서의 임계치수(162)가 도 16의 (a)에 비해 많이 개선되었음을 알 수 있다.

<173> 예컨대, 실험을 통해 도 16의 (a)에서의 저면에서의 임계치수(162)가 85nm이고, 도 16의 (b)에서의 저면에서의 임계치수(161)이 155nm이며, 이들의 하부전극의 높이가 모두 2074.8nm인 데이터를 얻었다.

<174> 이를 참조로 저면에서의 하부전극의 면적을 계산해 보면, 도 16의 (a)의 경우 $16,000\text{nm}^2$ 이고, $18,869\text{nm}^2$ 임을 확인할 수 있다. 따라서, 리프팅 및 전하저장용량 등의 측면에서 본 발명이 보다 효과적임을 알 수 있다.

<175> 도 17은 장축에서의 식각 프로파일이 개선됨(90° 에 가까워짐)에 따른 전하저장용량의 변화를 도시한 그래프이다.

<176> 도 17을 참조하면, 88.8° 에서부터 90° 사이에서의 식각 프로파일의 변화에 따른 $0.19 \times 0.40\mu\text{m}^2$ 의 단위 셀(하나의 트랜지스터와 하나의 캐패시터로 구성된 DRAM의 셀)에

서 그 하부전극의 높이가 $2\mu\text{m}$ (20,000Å)인 실린더형 캐패시터의 전자저장용량의 변화가 나타나 있다.

<177> 즉, 장축에서의 식각된 각도가 89° 에서 89.6° 사이까지는 $20\text{fF} \sim 30\text{fF}$ 범위 내에 머물러 있지만, 89.6° 를 넘어서면서 부터 89.8° 까지는 $30\text{fF} \sim 40\text{fF}$ 의 범위를 가짐을 알 수 있다.

<178> 이로 인해, 실린더형 하부전극 구조에서 하부전극의 수직한 식각 프로파일이 전하저장용량에 지대한 영향을 미침을 알 수 있으며, 본 발명의 가장 바람직한 형태인 장축과 단축의 비가 1:1인 원형에서 최대한의 전하저장용량을 얻을 수 있음을 확인할 수 있다.

<179> 도 18은 개선된 종래기술과 본 발명에 따른 희생 절연막 패턴을 비교도시한 또 다른 SEM 사진이고, 도 19는 장축과 단축의 비율에 따른 리닝 발생 확률을 도시한 그래프이며, 도 20은 하부전극의 높이에 따른 하부전극의 리닝이 발생하는 거리의 변화를 도시한 그래프이다.

<180> 도 18을 참조하면, 도 18의 (a)에서도 역시 하부전극이 형성될 희생 절연막(180a)의 보윙 현상(181)이 발생하였으며, 도 18의 (b)에서는 보윙 현상이 발생하지 않았다.

<181> 도 18에서는 희생 절연막(180a, 180b)의 높이가 1950nm(19500Å)인 경우를 그 예로 하였으며, 도 18의 (a)에서는 희생 절연막(180a) 간의 간격이 35nm로 매우 가까워진 상태를 나타낸다.

<182> 한편, 희생 절연막(180a, 180b)의 높이가 더욱 커지고 저면에서의 임계치수가 더 작아진다면 추후 공정에서 하부전극간의 브릿지가 일어날 가능성이 존재한다.

<183> 도 19를 참조하면, 장축(β)과 단축(α)의 비가 1:1인 경우(p)에서부터 1.5:1(q)과 2:1인 경우(r)와 3:1인 경우(s)의 각각에 따른 리닝 발생확률(%)이 도시되어 있다. 여기서는 하부전극의 높이가 1950nm(19500Å)인 경우를 그 예로 하였으며, 이 때에는 장축(β)과 단축(α)의 비가 2:1인 경우(r)에서도 리닝이 거의 발생하지 않음을 확인할 수 있다.

<184> 하지만, 이러한 리닝 확률의 경우 디자인 률에 따른 임계치수의 변화와 하부전극의 높이에 따라 변할 수 있으며, 가장 바람직한 경우는 장축(β)과 단축(α)의 비가 1:1일 것이다.

<185> 도 20을 참조하면, 도면부호 '①'은 임계치수가 115nm인 경우에서의 종래기술의 하부전극의 높이에 따른 리닝거리를 나타내며, 도면부호 '②'는 임계치수가 115nm인 경우에서의 개선된 종래기술의 하부전극의 높이에 따른 리닝거리를 나타낸다. 한편, 도면부호 '③'은 임계치수가 115nm인 경우에서의 본 발명의 하부전극의 높이에 따른 리닝거리를 나타낸다.

<186> 즉, 도면부호 '②'의 경우 도면부호 '①'에 비해 리닝 거리가 줄어들었으나, 하부전극의 높이가 1850nm를 넘어서에 따라 하부전극 리닝 거리의 마진인 20nm(하부전극의 높이가 1940nm인 경우의 리닝 거리의 임계치)를 벗어남을 확인할 수 있으나, 도면부호 '③'은 하부전극의 높이가 1950nm인 경우에도 이러한 임계치를 벗어나지 않음을 확인할 수 있다.

<187> 도면부호 '④'는 임계치수가 97nm인 경우에서의 종래기술의 하부전극의 높이에 따른 리닝거리를 나타내며, 도면부호 '⑤'는 임계치수가 97nm인 경우에서의 개선된 종래기

술의 하부전극의 높이에 따른 리닝거리를 나타낸다. 한편, 도면부호 '⑥'은 임계치수가 97nm인 경우에서의 본 발명의 하부전극의 높이에 따른 리닝거리를 나타낸다.

<188> 즉, 도면부호 '⑤'의 경우 도면부호 '④'에 비해 리닝 거리가 줄어들었으나, 하부전극의 높이가 1850nm를 넘어섬에 따라 하부전극 리닝 거리의 마진인 20nm를 벗어남을 확인할 수 있으나, 도면부호 '⑥'은 하부전극의 높이가 1950nm인 경우에도 이러한 임계치를 벗어나지 않음을 확인할 수 있다.

<189> 즉, 반도체소자의 임계치수가 '115nm'에서 '97nm'로 감소하더라도 리닝 허용 마진을 벗어나지 않음을 확인할 수 있다.

<190> 전술한 바와 같이 이루어지는 본 발명에서는, 오목형(실린더형) 캐패시터 하부전극을 종래의 타원형에서 실질적인 원형으로 변형함으로써, 장축과 단축간의 식각 프로파일 차이에 따른 (리닝에 의한)하부전극간의 브릿지를 방지하고 전하저장용량을 늘릴 수 있다.

<191> 또한, 매트릭스 형태가 아닌 예컨대, 비트라인을 경계로 반대편에 위치하여 쌍을 이루는 하부전극과 지그재그 형태로 엇갈리도록 배치하여, 상기 한 쌍의 하부전극 간의 공유면적을 줄임으로써 습식 딥-아웃에 의한 계면 장력으로 하부전극이 단락되는 것을 방지할 수 있으며, 이 때, 플러그는 종래와 동일하게 하고 상기 하부전극 쌍을 서로 반대 방향으로 치우치도록 배치하거나, 적어도 하나의 행에 해당하는 플러그 상부에 별도의 패드를 추가함으로써 더불어 콘택 저항을 감소시킬 수 있음을 실시예를 통해 알아 보았다.

<192> 이상에서 본 발명의 기술 사상을 바람직한 실시예에 따라 구체적으로 기술하였으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주 의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<193> 예컨대, 본 발명의 실시예에서는 비트라인을 경계로 인접하는 한 쌍의 하부전극이 하부전극 방향(실시예에서 X축 방향)으로만 그 중심점이 어긋난 것을 그 예로 하였으나, 그 반대인 서로 반대 방향 즉, Y축 방향(비트라인의 배열방향과 수직인 방향)의 중심점은 이동되지 않고 X축 중심점만 이동할 수 있다.

<194> 또한, 전술한 X축과 Y축의 중심점이 모두 이동하는 경우에도 적용이 가능하다.

【발명의 효과】

<195> 상기와 같이 이루어지는 본 발명은, 실린더형 하부전극 형성시 하부전극의 리프팅에 따른 전기적 단락 방지하며, 전하저장용량을 증가시킬 수 있어, 궁극적으로 반도체소자의 수율 및 생산성을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 X축 가상선과, 상기 X축 가상선과 실질적으로 수직한 복수개의 Y축 가상선의 교차점에 그 중심부가 위치되어 일정 간격으로 배치된 복수의 플러그; 및 상기 각 플러그와 일대일 대응되어 전기적으로 연결되도록 일정 간격으로 배치된 복수의 캐패시터 하부전극을 포함하며,

임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 상기 하부전극은 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖으며, 평면적으로 원형인 것을 특징으로 하는 반도체소자.

【청구항 2】

제 1 항에 있어서,

상기 한 쌍의 캐패시터 하부전극은,

상기 Y축 방향으로 대향하는 면적이 없도록 배치된 것을 특징으로 하는 반도체소자.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 한 쌍의 캐패시터 하부전극 중 적어도 하나는 그 중심점이 상기 임의의 Y축 가상선에서 어긋나도록 배치된 것을 특징으로 하는 반도체소자.

【청구항 4】

제 1 항 또는 제 2 항에 있어서,
상기 한 쌍의 캐패시터 하부전극은 그 중심점이 상기 임의의 Y축 가상선에서 서로 다른 X축 방향의 지점에 배치된 것을 특징으로 하는 반도체소자.

【청구항 5】

제 1 항 또는 제 2 항에 있어서,
상기 캐패시터 하부전극은, 그 장축과 단축의 비가 1:1 내지 2:1인 원형인 것을 특징으로 하는 반도체소자.

【청구항 6】

제 1 항 또는 제 2 항에 있어서,
상기 캐패시터 하부전극은, 3차원적으로는 그 상부면과 하부면의 면적이 실질적으로 동일하고, 상기 상부면과 상기 하부면을 연결하는 옆면이 상기 상부면과 상기 하부면에 각각 실질적으로 수직한 원통형인 것을 특징으로 하는 반도체소자.

【청구항 7】

제 1 항에 있어서,

상기 각 캐패시터 하부전극과 상기 각 플러그를 전기적으로 연결시키기 위해 상기 각 캐패시터 하부전극과 상기 각 플러그 사이에 게재된 복수의 콘택 패드를 더 포함하며

,

상기 콘택 패드는, X축 가상선에 그 중심점이 위치하는 상기 플러그 상에 형성되고, 한 쌍의 상기 하부전극 중 적어도 어느 하나의 하부에 배치된 것을 특징으로 하는 반도체소자.

【청구항 8】

제 7 항에 있어서,

상기 콘택 패드는, 서로 최인접한 두 개의 상기 X선 가상선 중에서 어느 한 X선 가상선에 그 중심점이 위치하는 플러그 상부에 배치된 것을 특징으로 하는 반도체소자.

【청구항 9】

제 7 항 또는 제 8 항에 있어서,

상기 콘택 패드는,

대응되는 상기 플러그와 그 중심점이 어긋나며, 대응되는 상기 캐패시터 하부전극과는 그 중심점이 일치하도록 배치된 것을 특징으로 하는 반도체소자.

【청구항 10】

제 7 항 또는 제 8 항에 있어서,

상기 콘택 패드는,

대응되는 상기 플러그와 그 중심점이 일치하며, 상기 콘택 패드에 대응되는 상기 캐패시터 하부전극은 상기 Y축 방향으로 인접한 하부전극과는 그 중심점이 어긋나도록 배치된 것을 특징으로 하는 반도체소자.

【청구항 11】

제 7 항 또는 제 8 항에 있어서,

상기 콘택 패드는, 대응하는 상기 플러그의 평면 면적보다 큰 것을 특징으로 하는 반도체소자.

【청구항 12】

복수개의 X축 가상선과, 상기 X축 가상선과 실질적으로 수직한 복수개의 Y축 가상선의 교차점에 그 중심부가 위치되어 일정 간격으로 배치된 복수의 플러그를 형성하는 단계; 및

상기 각 플러그와 일대일 대응되어 전기적으로 연결되도록 일정 간격으로 배치되어, 평면적으로 원형인 복수의 캐패시터 하부전극을 형성하는 단계를 포함하며,

임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 상기 하부전극은 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖도록 하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 13】

제 12 항에 있어서,
상기 캐패시터 하부전극을 형성하는 단계는,
상기 복수의 플러그 상에 희생 절연막을 증착하는 단계;
마스크 패턴을 이용하여 상기 희생 절연막을 선택적으로 식각하여 상기 복수의 플러그를 노출시키는 복수의 오픈부를 형성하는 단계;
상기 오픈부가 형성된 전체 프로파일을 따라 하부전극 물질을 증착하는 단계;
상기 희생 절연막이 노출될 때가지 평탄화 공정을 실시하여 분리된 복수의 상기 캐패시터 하부전극을 형성하는 단계; 및
습식 딥-아웃을 실시하여 상기 희생 절연막을 제거하는 단계
를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 14】

제 13 항에 있어서,
상기 마스크 패턴은,

상기 임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 상기 오픈부가 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 최소가 되도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖도록 하는 구조인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 15】

제 14 항에 있어서,

상기 마스크 패턴은,

상기 임의의 Y축 가상선 상에서 서로 인접하는 한 쌍의 상기 오픈부가 상기 임의의 Y축 가상선 방향으로 대향하는 면적이 없도록 상기 X축 가상선 상에서 그 중심부가 서로 다른 위치를 갖도록 하는 구조인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 16】

제 14 항 또는 제 15 항에 있어서,

상기 마스크 패턴은, 상기 한 쌍의 오픈부 중 적어도 하나는 그 중심점이 상기 임의의 Y축 가상선에서 어긋나도록 배치하는 구조인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 17】

제 14 항 또는 제 15 항에 있어서,

상기 마스크 패턴은, 상기 한 쌍의 오픈부의 각 중심점이 상기 임의의 Y축 가상선에서 서로 다른 X축 방향의 지점에 위치하도록 배치하는 구조인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 18】

제 14 항 또는 제 15 항에 있어서,
상기 오픈부는, 그 장축과 단축의 비가 1:1 내지 2:1인 원형인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 19】

제 12 항에 있어서,
상기 캐패시터 하부전극은, 3차원적으로는 그 상부면과 하부면의 면적이 실질적으로 동일하고, 상기 상부면과 상기 하부면을 연결하는 옆면이 상기 상부면과 상기 하부면에 각각 실질적으로 수직한 원통형인 것을 특징으로 하는 반도체소자.

【청구항 20】

제 12 항에 있어서,
상기 복수의 플러그를 형성하는 단계 후,

상기 각 캐패시터 하부전극과 상기 각 플러그를 전기적으로 연결시키기 위해 상기 각 캐패시터 하부전극과 상기 각 플러그 사이에 게재된 복수의 콘택 패드를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 21】

제 20 항에 있어서,

상기 콘택 패드를 형성하는 단계에서,

X축 가상선에 그 중심점이 위치하는 상기 플러그 상에 형성하되, 한 쌍의 상기 하부전극 중 적어도 어느 하나의 하부에 배치되도록 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 22】

제 20 항에 있어서,

상기 콘택 패드를 형성하는 단계에서,

서로 최인접한 두 개의 상기 X선 가상선 중에서 어느 한 X선 가상선에 그 중심점이 위치하는 플러그 상부에 배치되도록 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 23】

제 21 항 또는 제 22 항에 있어서,

상기 콘택 패드를 형성하는 단계에서,
대응되는 상기 플러그와 그 중심점이 어긋나며, 대응되는 상기 캐패시터 하부전극
과는 그 중심점이 일치하도록 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 24】

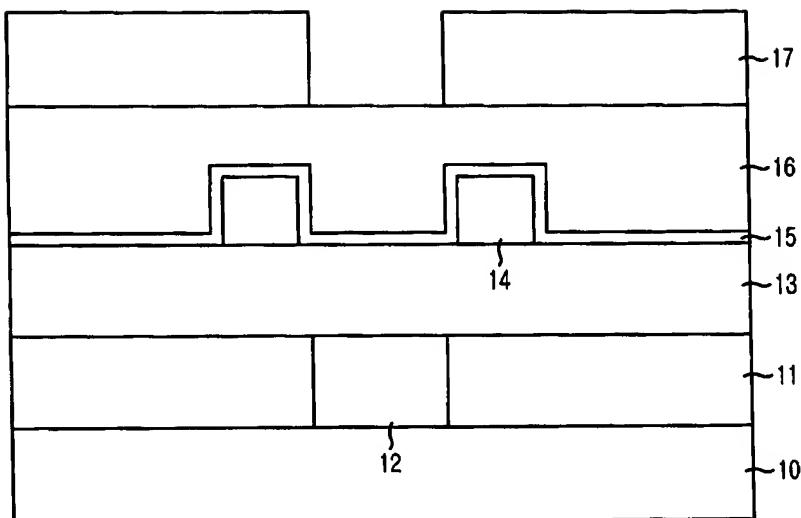
제 21 항 또는 제 22 항에 있어서,
상기 콘택 패드를 형성하는 단계에서,
대응되는 상기 플러그와 그 중심점이 일치하며, 상기 콘택 패드에 대응되는 상기
캐패시터 하부전극은 상기 Y축 방향으로 인접한 하부전극과는 그 중심점이 어긋나도록
형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 25】

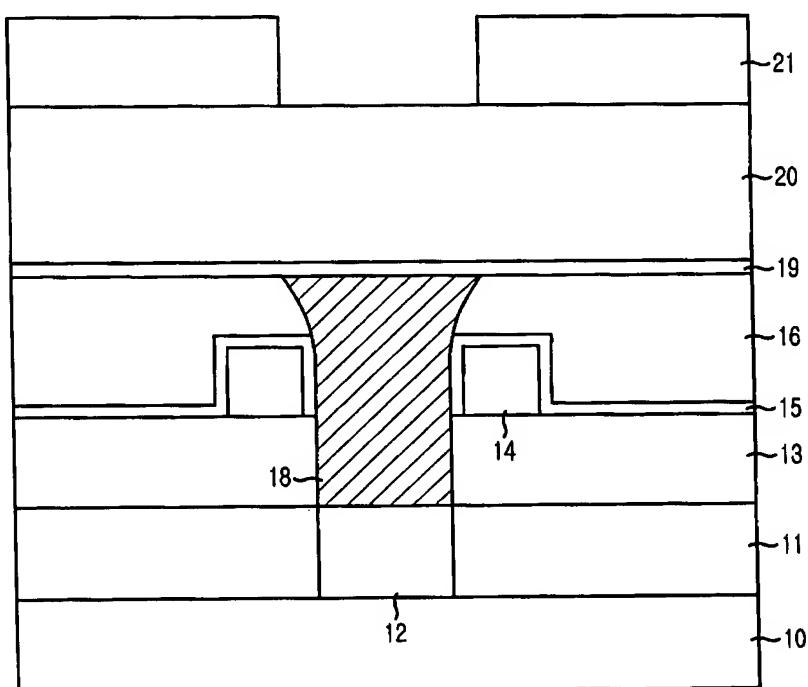
제 21 항 또는 제 22 항에 있어서,
상기 콘택 패드를 형성하는 단계에서, 대응하는 상기 플러그의 평면 면적보다 크도
록 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【도면】

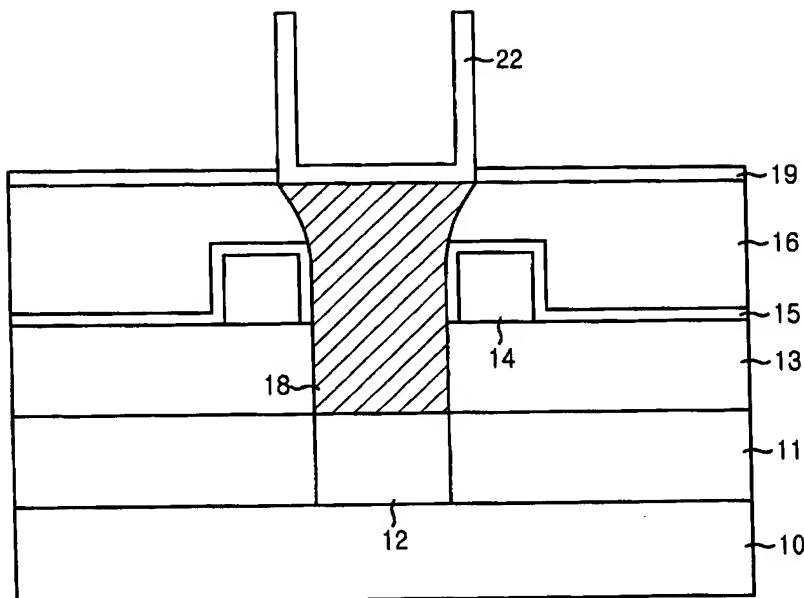
【도 1a】



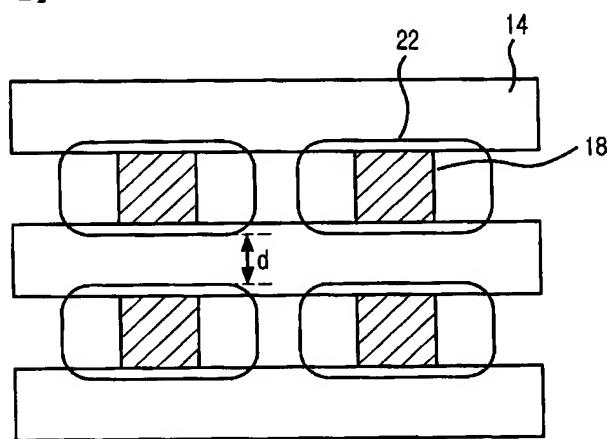
【도 1b】



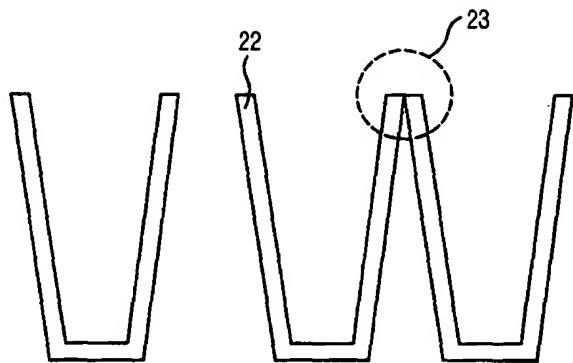
【도 1c】



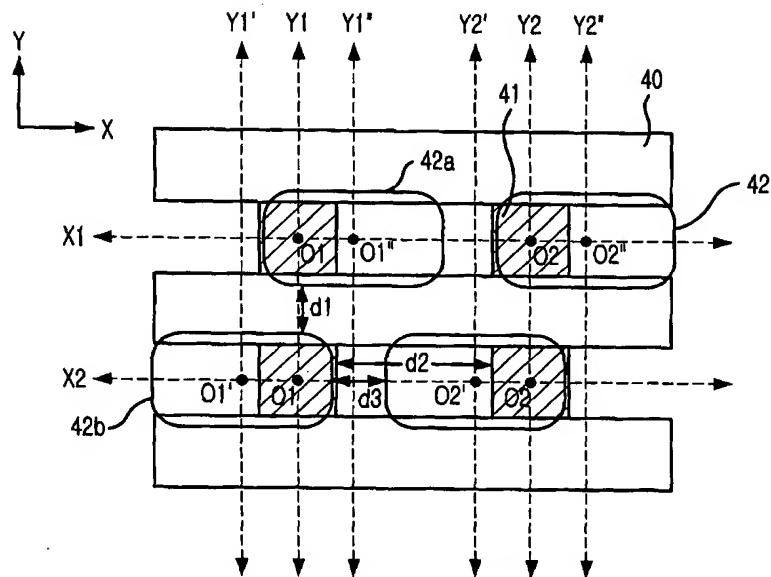
【도 2】



【도 3】

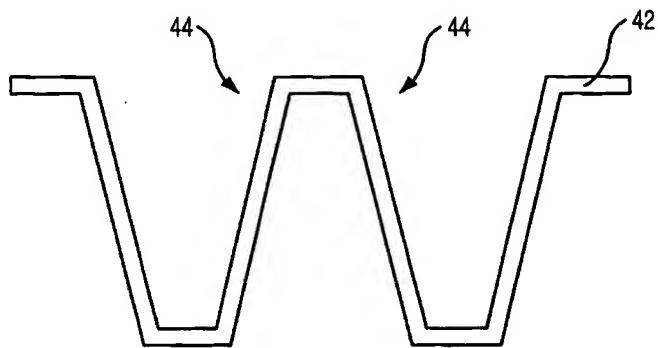


【도 4】

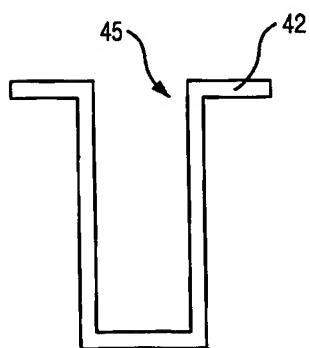


【도 5】

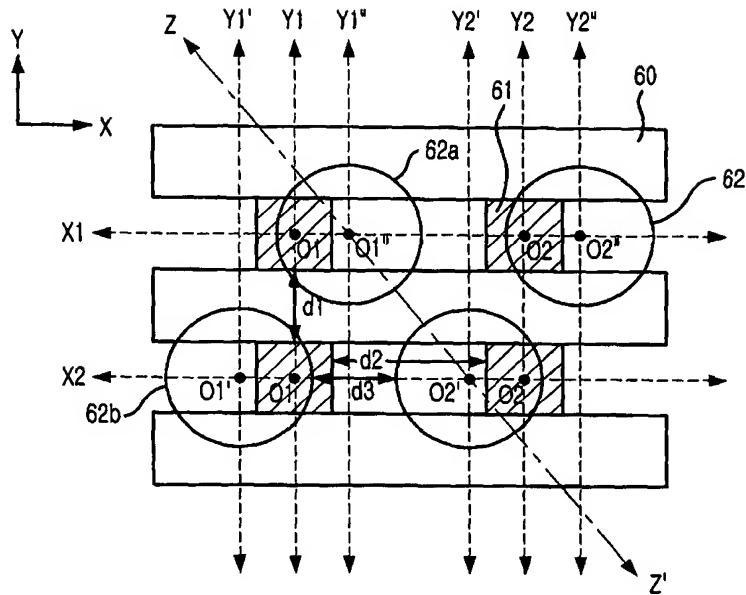
(a)



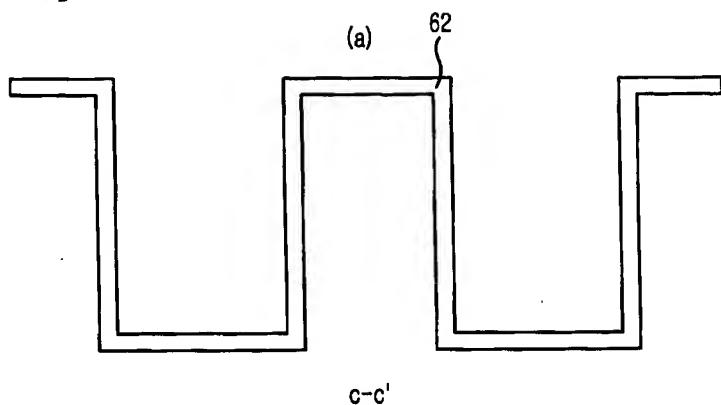
(b)



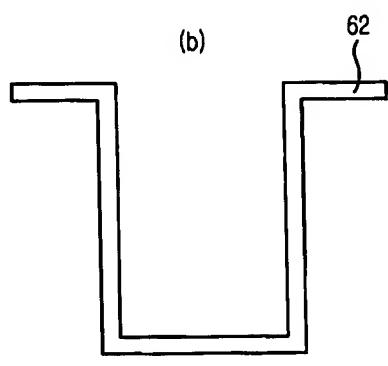
【도 6】



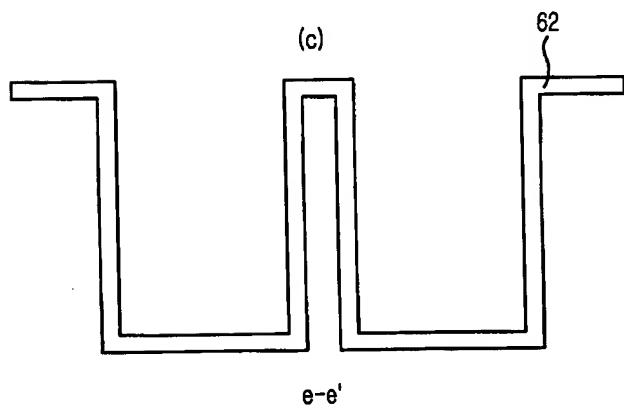
【도 7】



c-c'

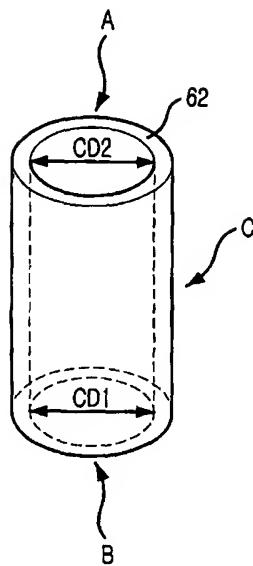


d-d'

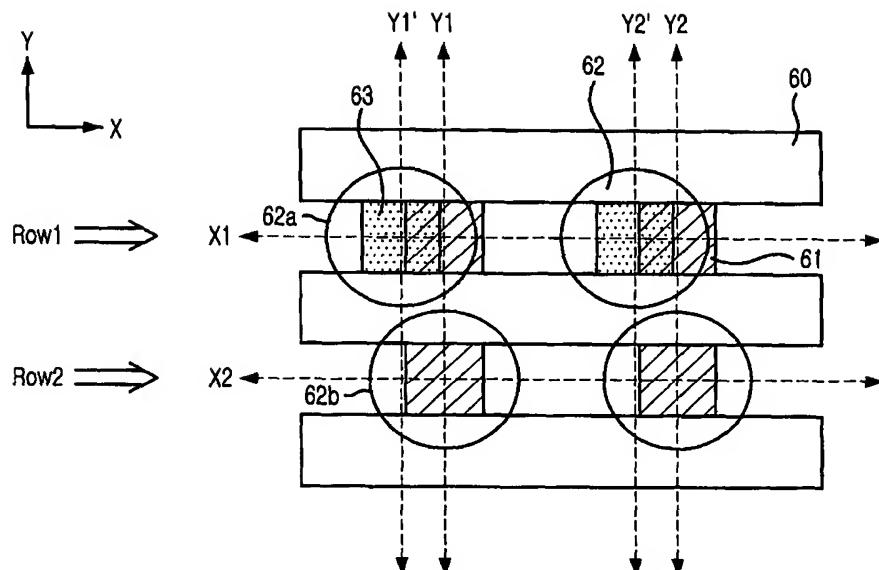


e-e'

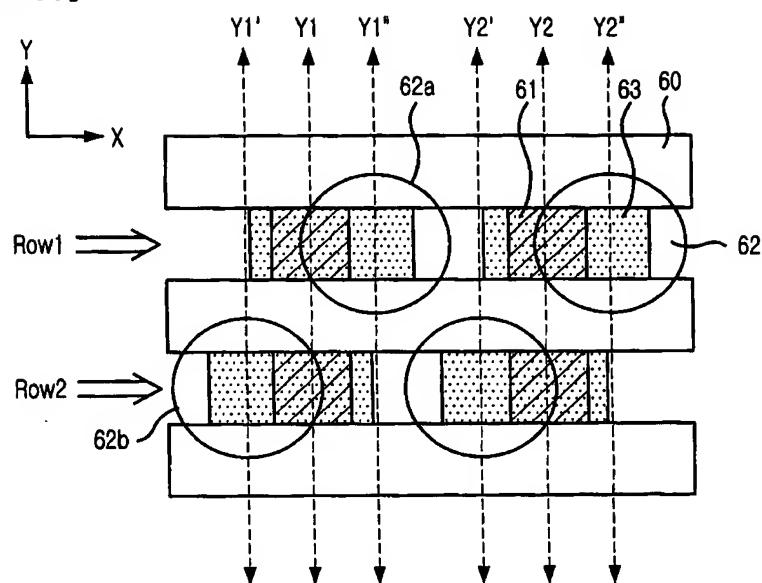
【도 8】



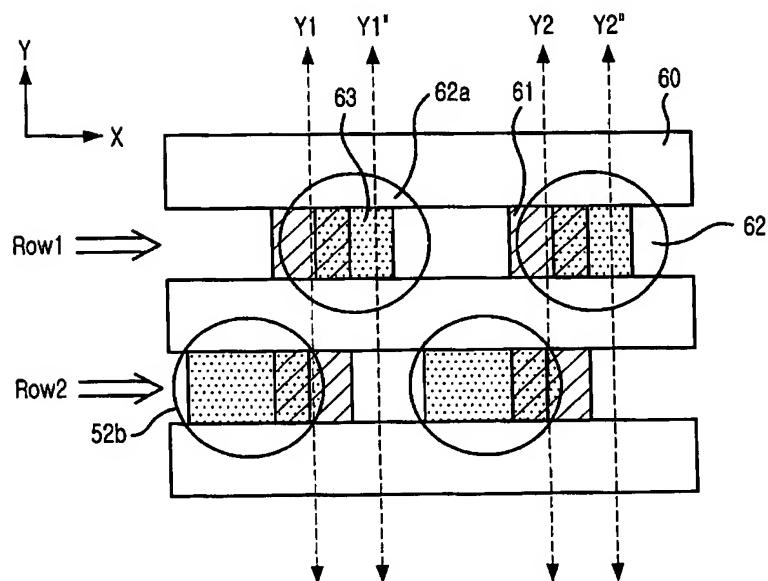
【도 9】



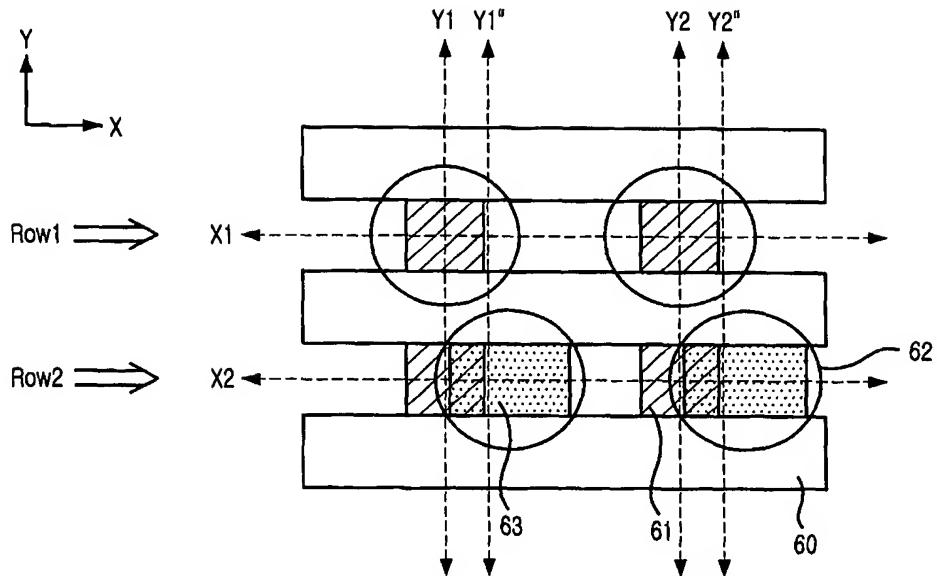
【도 10】



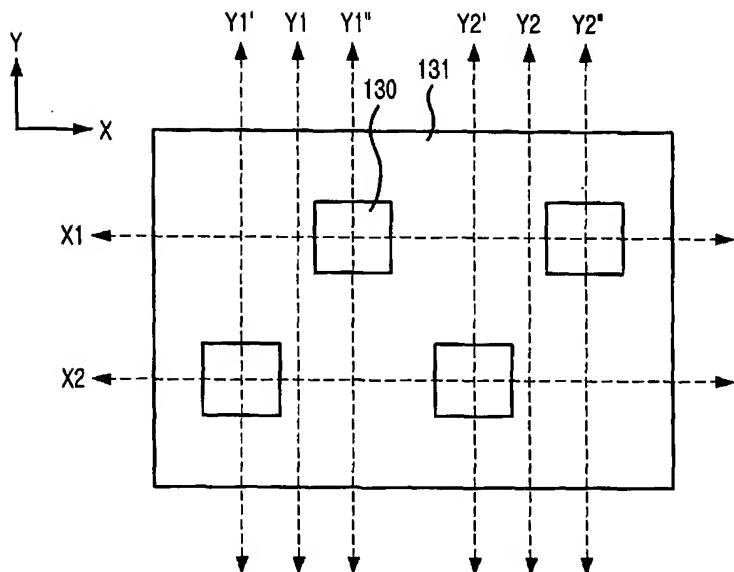
【도 11】



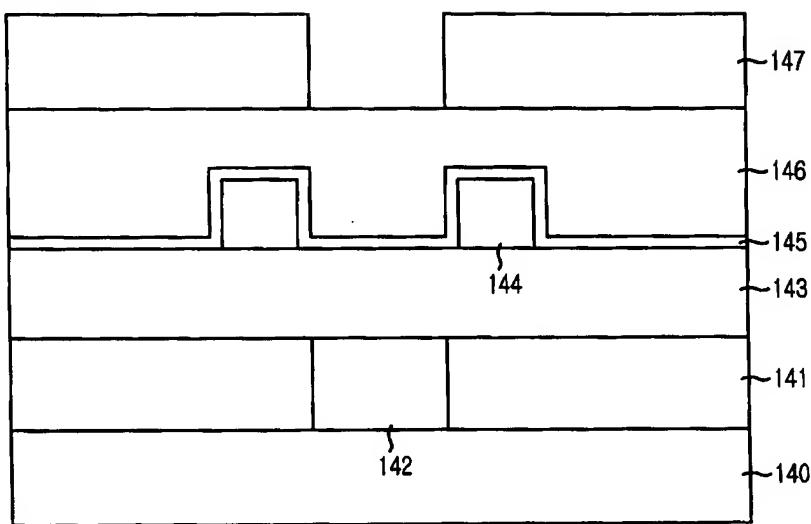
【도 12】



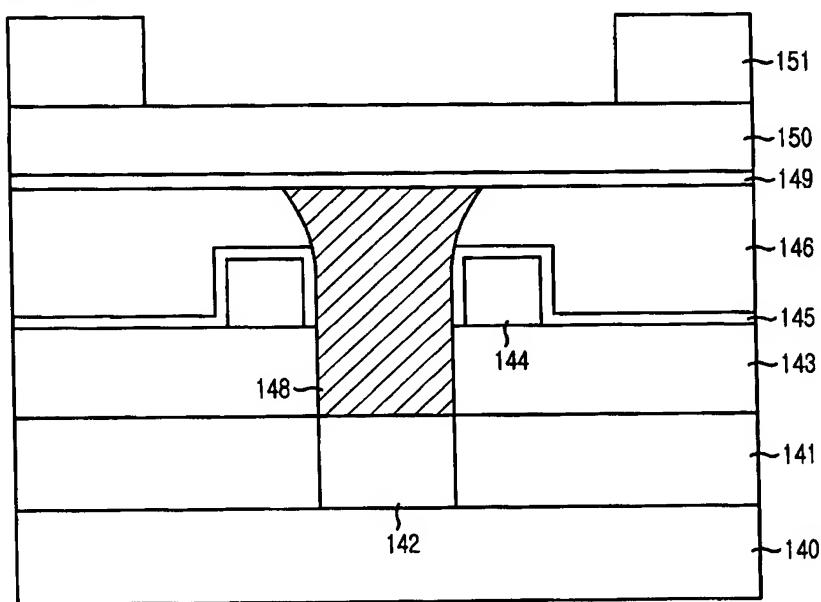
【도 13】



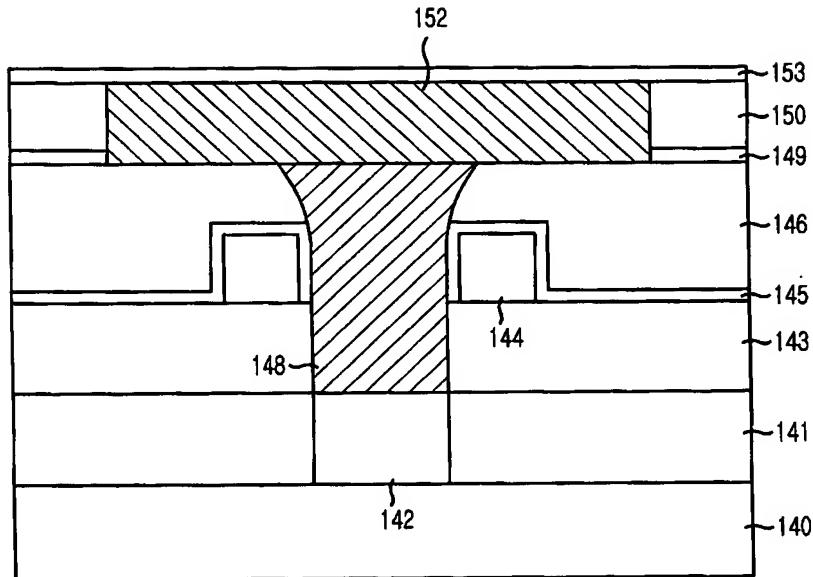
【도 14a】



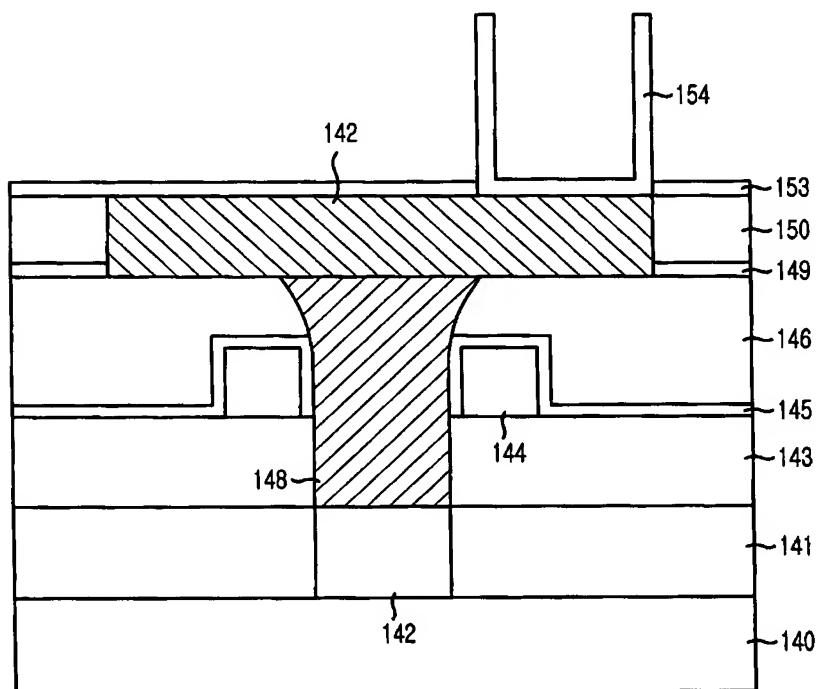
【도 14b】



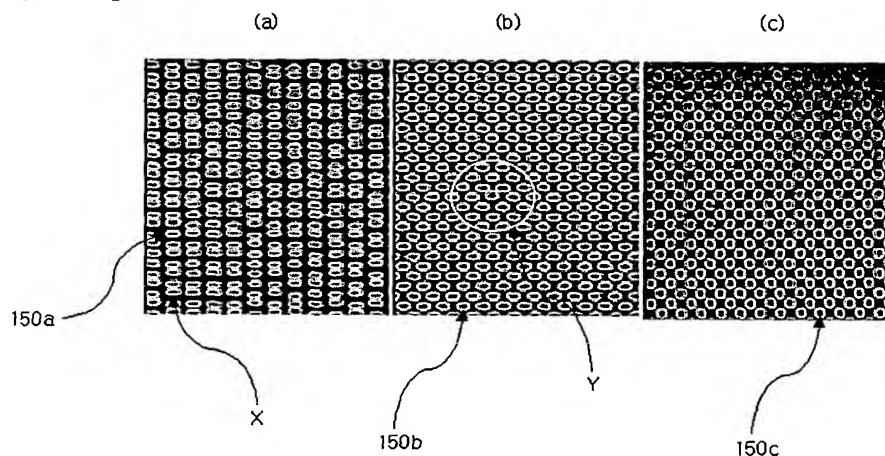
【도 14c】



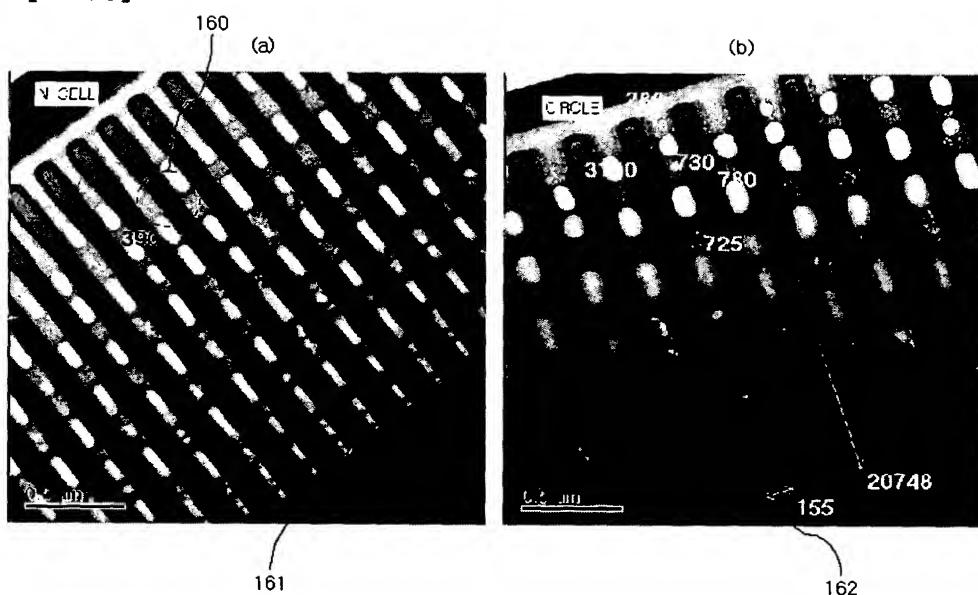
【도 14d】



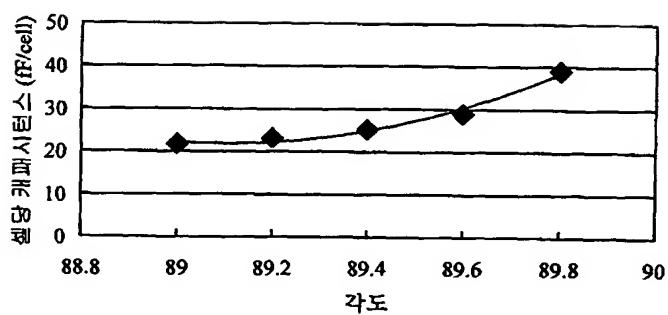
【도 15】



【도 16】



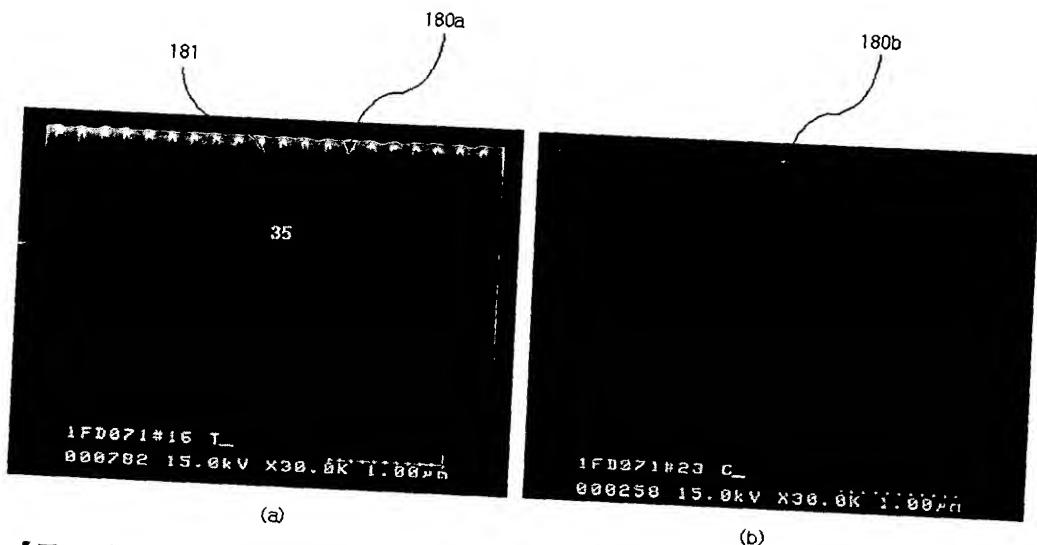
【도 17】



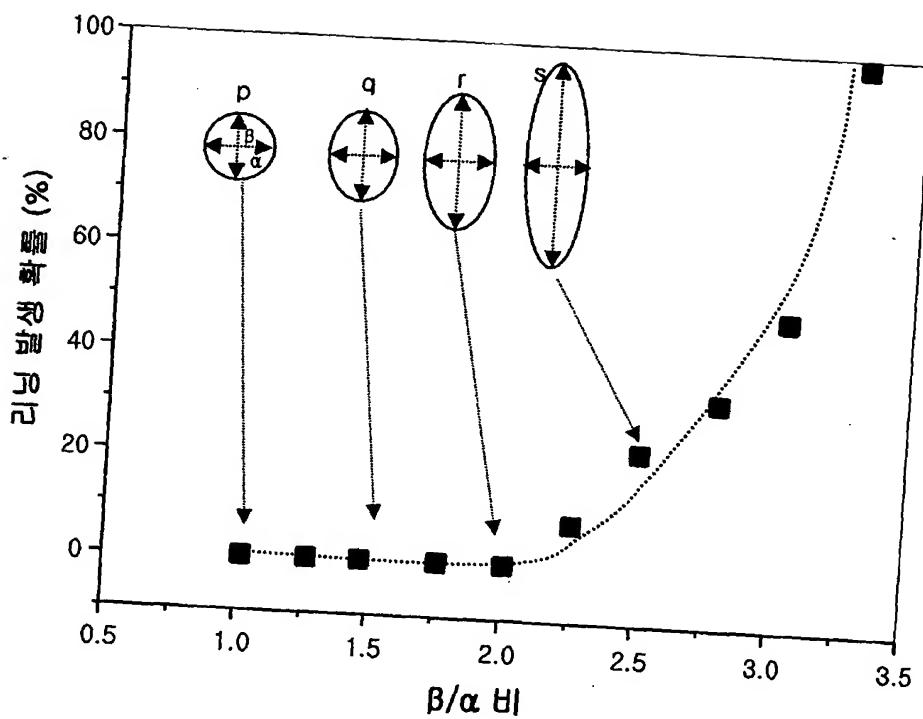
1020020071644

출력 일자: 2003/5/15

【도 18】



【도 19】



【도 20】

